

Современные и перспективные процессоры для высокопроизводительных вычислений

А.С. Шмелёв¹

¹ МСЦ РАН – филиал ФГУ ФНЦ НИИСИ РАН, НИЦ «Курчатовский институт», Москва, Россия, guest8993@rambler.ru

Аннотация. В наши дни уже невозможно представить развитие науки и техники без компьютерного моделирования, проводимого на высокопроизводительных вычислительных машинах. В данной работе проводится обзор современных процессоров различных архитектур для вычислительных центров, приведены их показатели производительности, а также приведены анонсы перспективных моделей процессоров и показаны тенденции в данной области.

Ключевые слова: высокопроизводительные вычисления, центральный процессор, ускорители вычислений, суперЭВМ, TOP500, x86, POWER, ARM, управление потоком данных, ВПП

1. Введение

Современные высокопроизводительные вычислительные системы уже имеют производительность, позволившую вывести численное моделирование физических явлений и инженерных систем фактически на один уровень с натурным экспериментом.

Постоянное увеличение производительности суперкомпьютеров не является самоцелью, а позволяет повысить качество моделирования физических процессов с помощью перехода к более сложным моделям, использовать которые ранее не было возможности ввиду слишком большого времени, необходимого для проведения требуемого объёма вычислений над требуемым объёмом данных. В актуальном рейтинге среди пятисот наиболее производительных суперкомпьютеров, установленных в мире (TOP500), все позиции занимают скалярными многопроцессорными машинами, а производительность суперкомпьютеров, занимающих верхние строчки рейтинга, перевалила за петафлоп. Наиболее часто сейчас при построении суперкомпьютеров используются многоядерные суперскалярные микропроцессоры, число вычислительных ядер в таких процессорах может достигать сотен единиц, а общее число ядер в суперкомпьютерах уже измеряется миллионами. В силу ряда причин в последние годы пиковую производительность процессоров, как и пиковую производительность суперкомпьютеров в целом, наращивали за счёт увеличения вычислительных ядер. Как правило, реальная же производительность выполнения научно-технических программ, при равной пиковой производительности, бывает у той вычислительной машины, которая содержит меньшее число, но более производительных ядер. Это объясняется тем, что

на распараллеливаемых участках кода с увеличением числа процессорных ядер возрастают и накладные расходы на синхронизацию вычислений и обмен данными между процессорными ядрами, а на последовательных - время выполнения будет определяться производительностью одного ядра. Таким образом, при выборе процессора для построения суперкомпьютера для высокопроизводительных вычислений следует отдавать предпочтение вариантам с наиболее производительными ядрами. На сегодняшний день на рынке процессоров для суперЭВМ представлены чипы нескольких архитектур, далее их и рассмотрим.

2. x86

В пределах архитектуры x86 есть два основных игрока – это собственно создатели архитектуры и многолетние лидеры рынка - фирма Intel и их многолетний основной конкурент, на чьих процессорах сейчас построен самый производительный суперкомпьютер – это фирма AMD, с её продукцией и начнём обзор.

В некоторых серверных процессорах Ерус, начиная с третьего поколения, используется технология 3DV-Cache, для увеличения КЭШ третьего уровня, в частности, в процессорах третьего поколения это позволило увеличить КЭШ L3 с 256 до 768 Мбайт. Благодаря наложению чиплетов и использованию сквозных кремниевых межсоединений (through-silicon vias (TSVs)) удалось добиться большей плотности, меньшей задержки и меньшего тепловыделения, чем если бы добавляли такой объём КЭШ классическим способом с размещением в одной плоскости [1]. Эти процессоры, в частности, устанавливались в суперкомпьютер Frontier, занимающий с июня 2022 года и по настоящий момент первую строчку в рейтинге top500 [2].

В сентябре 2023 года к уже имеющемуся разделению на обычные процессоры и процессоры с поддержкой большого объема КЭШ компания AMD представила процессоры на микроархитектуре Zen4c, с энергоэффективными ядрами меньшего размера [3]. Данная микроархитектура предназначена, в том числе, и для центров обработки данных для облачных сервисов, хранилищ и т.д. [3]. Серверные процессоры с микроархитектурой четвертого поколения Zen4 имеют до 96 ядер и суммарно до 1152 МБ КЭШ третьего уровня с поддержкой технологии 3DV-Cache [4]. Процессоры поддерживают работу с шиной PCI-Express 5-ого поколения и памятью DDR5. В частности, один из самых производительных процессоров с микроархитектурой Zen4 AMD EPYC 9684X имеет следующие характеристики: 96 ядер, работающих на базовой частоте 2,55 ГГц (любое ядро может разогнаться до 3,7 ГГц, или все ядра сразу до 3,42 ГГц), 1254 МБ Кэш суммарно (L1 – 64 Мбайт, L2 – 96 Мбайт и L3 – 1152 Мбайт), 128 линий связи с PCIe и 12 каналов для работы с памятью DDR5-4800 с поддержкой ECC, требования по теплоотводу (TDP) в 400 Вт при стоимости 14756 долларов США на момент выхода [4]. Также в процессорах четвертого поколения была введена поддержка векторных инструкций AVX-512, правда, через 256-битную шину данных, в результате чего использование этих инструкций будет приводить либо к падению тактовой частоты, либо к увеличению энергопотребления [5].

Компания AMD уже анонсировала серверные процессоры следующего поколения на микроархитектурах Zen5c с компактными ядрами [6], Zen5 [6] и Zen5 с поддержкой технологии 3D-VCache [7], назначив выход на вторую половину 2024 года. Так, планируется, что серверные процессоры, нацеленные на область высокопроизводительных вычислений (HPC) будут иметь до 128 ядер Zen5 по два потока на ядро [8][9], и будет производиться с тем же сокетом SP5, что и процессоры предыдущего поколения, т.е. пользователи теоретически будут иметь возможность повысить производительность системы без капитальной её перестройки. Производить данные процессоры планируют по 4 нм техпроцессу (и по 3 нм техпроцессу процессоры на основе компактных ядер Zen5c).

Что касается отличия ядер архитектуры текущего поколения и следующего, то планируется полноценная поддержка векторных команд AVX-512 по 512 битной шине данных [10], введение полнофункционального блока выполнения векторных команд в состав процессора дает ему ощутимые преимущества по повышению производительности, но переход на более длин-

ные вектора пока не предвидится, для этого понадобится увеличивать длину строки в КЭШ памяти. По заявлениям компании AMD, в новых процессорах улучшили систему предсказания переходов, увеличили окно команд, выдаваемых не по порядку, что в свою очередь позволило увеличить количество выдаваемых в такт команд, увеличили количество исполняемых устройств в ядре и количество векторных регистров, а также размеры КЭШ [10,11,12]. Т.е. как мы видим, в новой микроархитектуре ядро процессора подверглось серьезной переработке, и увеличение производительности процессора попытались достичь не только за счет увеличения количества ядер, как это обычно мы видим в последнее время, но упор был сделан на увеличении производительности отдельного ядра процессора.

Как было сказано в [13], для оптимального использования векторных команд все элементы вектора должны находиться в пределах одной строки КЭШ, и без этого дальнейшее увеличение аппаратной длины вектора нецелесообразно. В новых процессорах длину строки КЭШ оставили равной 64 Байтам, соответственно увеличения аппаратной длины векторов в векторных инструкциях ждать пока не приходится.

Прямым конкурентом фирмы AMD на рынке серверных процессоров для высокопроизводительных вычислений является компания Intel. Так же как и AMD, они разделили свою линейку серверных процессоров по нишам, ориентированным на облачные вычисления, с большой плотностью более простых ядер с меньшим энергопотреблением (так называемые E ядра) и процессоры, ориентированные на область высокопроизводительных вычислений (P ядра с большей частотой и производительностью) [14].

Начиная с процессоров Xeon 4-ого поколения, компания Intel перешла на построение серверных процессоров из нескольких чипов на общей подложке. Текущее пятое поколение процессоров Xeon с кодовым названием Emerald Rapids было запущено в производство в декабре 2023 года, производится с использованием 7 нм техпроцесса и имеет тот же сокет, что и процессоры предыдущего поколения. Топовый процессор этого поколения Intel Xeon Platinum 8593Q имеет 64 ядра (128 потоков), работающих на базовой частоте 2,2 ГГц (с максимальным разгоном частоты ядра до 3,9 ГГц, либо всех ядер сразу до 3 ГГц), общий размер объединенного смарт КЭШ составляет 320 МБ, процессор поддерживает работу с памятью DDR-5600 с поддержкой ECC и имеет требования к теплоотводу 385 Вт. Рекомендуемая стоимость такого процессора составляет 12400 долларов США [15].

В 2024 году компания Intel планирует выпустить на рынок свои серверные процессоры Xeon следующего, 6-ого поколения с кодовым названием Granite Rapids.

Процессор содержит несколько модулей, называемых вычислительными тайлами (Compute tile), каждый такой модуль содержит до 44 Р-ядер, кэш памяти и контроллеры внешней памяти DDR5. Кэш памяти первого уровня увеличили до 112 КБ на ядро (вдвое увеличили кэш команд до 64КБ и оставшиеся 48 КБ на КЭШ данных). При этом на каждое ядро приходится по 2МБ кэш второго уровня и 4МБ кэш третьего уровня (суммарно 512МБ КЭШ L3)[16]. Также был улучшен модуль предсказания переходов, добавлена аппаратная поддержка шифрования AES-256 и переработан модуль AMX (Advanced Matrix Extensions), в него добавлена поддержка данных типа FP16, что, как планируют, приведёт к ускорению приложений, связанных с машинным обучением. Планируется, что процессоры, ориентированные на область высокопроизводительных вычислений будут иметь до 128 двухпоточковых ядер, 12 каналов к памяти DDR5 (заявлена поддержка MCRDIMM) и до 136 линий PCI Express 5.0.

Суперкомпьютер Aurora, занимающий сейчас вторую строчку в списке пятисот самых производительных машин в мире [17], был построен с использованием процессоров серии Intel Xeon Max, характеризующихся возможностью работы с памятью HBM. В грядущем поколении процессоров поддержка HBM не заявлена, вместо этого в процессорах Xeon 6-ого поколения заявлена поддержка технологии MCRDIMM (Multiplexer Combined Ranks DIMM) [18]. В данных модулях с помощью добавления специального буфера данных ведётся параллельная работа с двумя рангами памяти, т.е. производится вычитывание сразу 128 байт данных. Такие модули были разработаны для увеличения объёма и увеличения пропускной способности к памяти [19], увеличение объёма памяти с помощью стандартных модулей DDR5 DIMM столкнулось уже с той проблемой, что сервера банально не помещаются в стандартную 19 дюймовую стойку. Надо отметить, что компания AMD совместно с Google, Microsoft и JEDEC проталкивала другую аналогичную технологию - MRDIMM (multi-ranked buffered DIMM)[20], в частности, данные модули выпускаются фирмой Micron [21] и они, как заявляется, полностью совместимы с Intel MCRDIMM. При этом, так как JEDEC ещё не опубликовала стандарт MRDIM, ему модули не соответствуют, такое объяснение дано на сайте производителя [22], что позволяет предположить идентичность, или, как минимум, сильную

схожесть технологий. Так что в серверах ближайшей пары лет будут использоваться модули памяти с одновременным доступом к нескольким рангам.

3. POWER

На девятой позиции летнего списка top500 2024 года стоит суперкомпьютер Summit (занимал в 2018-2019 годах первую позицию списка) [23]. Суперкомпьютер построен на процессорах IBM POWER9, имеющих 22 ядра и работающих на частоте 3,07 ГГц. В относительно недавнем прошлом суперкомпьютеры на основе процессоров архитектуры IBM POWER были достаточно широко представлены в списке самых производительных систем, сейчас же их осталось всего 6 штук (на процессорах IBM POWER9). Процессоры текущего актуального поколения данной архитектуры POWER10 производятся компанией Samsung с использованием 7нм техпроцесса и содержат 18млрд транзисторов при площади 602мм квадратных (вариант с одним процессорным чипом в корпусе). Существует два варианта процессорных чипов, одни имеют до 15 ядер с поддержкой до восьми потоков (SMT8), другие до 30 ядер с поддержкой до 4 потоков (SMT4). Каждое ядро SMT8 содержит 80КБ кэш первого уровня (48КБ кэш команд и 32КБ кэш данных), 2МБ кэш второго уровня [24], всего на процессор приходится до 120МБ кэш третьего уровня. На самом деле в процессорных чипах реализованы 16 ядер и 128мб кэш третьего уровня, но пользователю доступно только 15 ядер и 120МБ, IBM пошла на такое в целях повышения выхода годных кристаллов [25]. Процессоры выпускаются в корпусах с одним (SCM - Single-Chip Module) или двумя (DCM - Dual-Chip Module) процессорными чипами (до 24 ядер STM8 работающих на частоте 2.95-4ГГц, в зависимости от варианта). До 16 SCM или до 4 DCM процессоров могут быть объединены в систему с общей памятью через интерфейс PowerAXON. POWER10 может работать с различными типами памяти, как то: DDR3-DDR5, GDDR, HBM и энергонезависимой памятью ёмкостью до 2 ПБ, в процессоре имеется два восьмиканальных контроллера памяти. Несмотря на то, что в текущих рейтингах суперкомпьютеров отсутствуют машины, построенные на процессорах последнего поколения архитектуры POWER, и следующее поколение пока не анонсировано, хоронить данную архитектуру пока рано. В 2021 году IBM продемонстрировала чип, изготовленный по 2нм технологии, и планирует использовать свой опыт и наработки для создания процессоров в будущем [26].

4. ARM

Наряду с уже традиционными в HPC процессорными архитектурами x86 и POWER последнее время получили распространение процессоры с архитектурой ARM. Например, в 2020 году первую строчку рейтинга TOP500 занимал суперкомпьютер Fugaku [27], построенный на процессорах A64FX фирмы Fujitsu. Суперскалярный процессор A64FX производится по 7нм техпроцессу и использует систему команд ARM v8.2-A с векторным расширением SVE (Scalable Vector Extension) с длиной вектора 512 бит, он был разработан специально под высокопроизводительные вычисления. Он имеет 52 ядра, 48 из которых вычислительные и 4 вспомогательные, работающие на частотах до 2.2 ГГц, общая пиковая производительность процессора до 13,5ТФлопс. Кэш память первого уровня имеет объём в 6Мбайт, по 3Мбайт для команд и данных (по 64Кбайт для команд и данных в каждом ядре), 32Мбайта приходится на кэш второго уровня (4 NUMA блока по 12 ядер, 8Мбайт на блок), длина строки кэш памяти 256 байт. Процессор имеет четыре контроллера памяти, поддерживающих работу с памятью HBM2(4 стека) ёмкостью до 32Гбайт, и обеспечивающих общую пропускную способность подсистемы памяти 1024 Гбайт/с. Процессор поддерживает сеть TofuD и имеет 16 линий PCIe Gen3. Сейчас в рейтинге присутствует девять машин на этом процессоре, в предыдущих рейтингах встречался ещё один ARM процессор – Marvell Thunder X2, планировалось развитие этой процессорной линейки, были образцы процессора Thunder X3, и велась разработка Thunder X4 [29], но в 2020 году проект фактически закрылся с уходом одного из ведущих сотрудников из компании.

В будущем компания Fujitsu планирует продолжить разработку серверных процессоров с архитектурой ARM, уже анонсирован процессор следующего поколения с названием Monaka. Планируемый к выпуску в 2027 году процессор будет иметь 144 ядра с системой команд ARM v9.0-A с векторным расширением SVE2, 12 каналов к памяти DDR5, а также заявлена поддержка PCI Express Gen 6 (CXL3.0) [30]. Процессор будет иметь воздушное охлаждение. В отличие от A64FX, заточенного сугубо под область HPC, процессор следующего поколения планируют сделать более универсальным.

Ещё одним немаловажным игроком на рынке высокопроизводительных вычислений является компания Nvidia. В компании не стали разрабатывать свой универсальный процессор с нуля, а сделали ставку на ARM архитектуру. Компания в 2022 году анонсировала, и в первой половине 2023 года на фабрике TSMC начался выпуск

микропроцессора Grace Superchip (техпроцесс 4нм). Один кристалл Grace содержит 72 ядра ARM Neoverse V2 с системой команд ARM v9.0-A (в Grace Superchip два таких кристалла). На каждое ядро на кристалле приходится по 128Кбайт кэш первого уровня (64Кбайт для команд и 64 Кбайт для данных) и 1Мбайт кэш L2, кэш L3 общий для всех ядер кристалла и имеет ёмкость 117 Мбайт [31]. В Grace Superchip два кристалла Grace объединены посредством шины NVLink-C2C (900Гбайт/с) в одну систему, пиковая производительность которой составляет 7,1 Тфлопс при конструктивных требованиях по теплоотводу (TDP) в 500 Вт. Процессор поддерживает работу с памятью LPDDR5x общим объёмом до 960 Гбайт с пропускной способностью 1Тбайт/с (по 500Гбайт/с на кристалл) и имеет 128 линий PCIe Gen 5.

Как было сказано в [32], в качестве основного элемента построения суперкомпьютеров компания сделала ставку на комбинированные вычислительные узлы из процессоров общего назначения Grace и ускорителей Hopper (H100) с кодовым названием Grace Hopper (GH200). В рейтинге TOP500 уже присутствуют 7 машин, построенных на этих чипах Nvidia. Первый европейский суперкомпьютер экзафлопсного класса с названием Jupiter, постройку которого планируют завершить в 2024 году, будет построен как раз на вычислительных узлах Grace Hopper [33].

5. Dataflow

Как мы видим, все существующие процессоры для области HPC имеют архитектуру управления потоком команд, где команды выдаются на выполнение по порядку, задаваемому счётчиком команд. Для повышения производительности в таких процессорах используется конвейер команд и суперскалярный режим, что, в свою очередь, порождает конфликты информационной зависимости по данным, выражающиеся в том, что невозможно прочитать из памяти необходимый операнд, так как он ещё не записан одной из предыдущих команд. Ещё одно серьёзное ограничение порождается конфликтами по управлению, возникающими при конвейеризации команд условного перехода. Для обхода этих ограничений используют сложную аппаратуру предсказания переходов и систему выполнения команд не по порядку (out-of-order execution), но и это не позволяет выдавать на выполнение одновременно более 4-6 команд в такт из окна в несколько сотен команд. Альтернативой мог бы послужить процессор с архитектурой управления потоком данных, потенциально позволяющий получить более высокую реальную производи-

тельность на распараллеливаемых задачах. Программа для такого процессора представляет собой ориентированный граф, где узлы – команды, а по дугам передаются токены с данными. На исполнение может быть выдана любая команда в графе при условии готовности всех её операндов, после использования токенов-операндов они уничтожаются, а по завершении выполнения команды формируется новый токен с результатом, одновременно являющимся операндом для какой-то другой команды, согласно графу, т.е. действует принцип однократного присваивания. В таком процессоре отсутствует центральное устройство управления в виде счётчика команд, а готовые к выполнению команды ищутся в распределённой на множество модулей ассоциативной памяти поиска пар (ППП) по готовности всех их операндов. В процессоре с управлением потоком данных можно одновременно исполнять команды из нескольких программ, у него отсутствуют накладные расходы на переключение между потоками, и, в теории, можно одновременно выдать на выполнение все независимые по данным команды.

Несмотря на все эти преимущества до сих пор не было сделано ни одного коммерчески успешного универсального процессора с подобной архитектурой. В первую очередь из-за сложностей реализации одного из основных узлов – быстродействующей ППП достаточной ёмкости. Дело в том, что ППП, где хранятся все не парные токены, должна обладать достаточной ёмкостью, так как переполнение её приводит к остановке процессора, и достаточным быстродействием, так как все токены проходят кольцо обработки данных (ППП-коммутатор-память, команда-исполнительное устройство и обратно через коммутатор в один из модулей ППП), и, в том числе её быстродействие определяет путь по кольцу в тактах и, соответственно, напрямую влияет на производительность на цепочках команд с зависимостью по данным.

В МСЦ РАН разрабатывалась VHDL модель векторного потокового процессора (ВПП). За счёт введения команд векторной обработки данных с хранением элементов векторов в отдельной линейно адресуемой памяти векторов (ПВ) удалось добиться существенного снижения требований к ёмкости ППП, а хранение больших массивов данных в виде векторов-указателей (вектор, элементами которого являются вектора) вместе со специальными векторными командами для сборки и рассыпания векторов на элементы позволило повысить степень векторизации программ.

Результаты моделирования показали, что на хорошо распараллеливаемых вычислительных задачах, таких как перемножение матриц, может

быть достигнута высокая реальная производительность как на одном процессорном ядре, так и почти линейное увеличение производительности (1.97) было достигнуто на модели с двумя ядрами, при этом на одном из ядер исполнялась и управляющая часть программы, что достигалось за счёт малых накладных расходов на переключение между блоками перемножения подматриц в блочном алгоритме программы [34].

Моделирование задачи шаблонных вычислений (Stencil computations) показало, что на ВПП можно получить более высокую реальную производительность относительно процессоров традиционной архитектуры, несмотря на ограничивающую производительность пропускную способность к внешней ПВ(ВПВ), а с увеличением количества точек в шаблоне, в отличие от традиционных процессоров, растёт и локальность обращений в ПВ, что ещё больше увеличивает разрыв по производительности с процессорами традиционной архитектуры [34, 35].

Одно из основных преимуществ ВПП – возможность поиска готовых к выполнению команд практически во всей программе сразу, что позволяет использовать мелкогранулярный параллелизм и получать высокую производительность не только на хорошо распараллеливаемых задачах начиная с малых размерностей массивов, но и, в некоторых случаях, распараллеливать и частично векторизовать скалярный код с зависимостью по данным, что было показано на примере программы пузырьковой сортировки [36]. На распараллеливаемых алгоритмах сортировки, таких как быстрая сортировка (Quicksort) и битонная сортировка (Bitonic sort) ВПП так же показывал более высокую производительность в сравнении с фон-неймановскими процессорами [37, 38].

Результаты моделирования типовых задач позволяют утверждать, что ВПП может иметь преимущество не только на хорошо векторизуемых задачах, но и на задачах с мелкоструктурным и нерегулярным параллелизмом.

Выделение и высвобождение памяти под вектор в ВПП происходит аппаратно, блоками фиксированной длины равной максимальной аппаратной длине вектора (в модели VLmax=256 элементов). Адресом вектора является адрес первого его элемента, и вместе с длиной вектора он составляет аппаратный указатель на вектор и передаётся в поле данных токена от команды к команде, и программист к нему доступа не имеет. Т.е. программист не может заранее знать точно, по какому физическому адресу будут записаны элементы вектора в ПВ, поэтому извне заранее загрузить ПВ процессора невозможно, но возможно получить ссылку из процессора на область памяти, в которую потом можно записать

подготавливаемые данные при наличии какого-то внешнего арбитра ПВ, если использовать ВПП в качестве ускорителя. Для загрузки программы в память команд процессора предусмотрено два канала, отдельно для скалярных команд и векторных команд. Интерфейс также предусматривает загрузку извне в процессор как отдельных токенов по выделенному каналу с передачей на скалярные команды, так и шину для передачи элементов вектора для подачи на команду формирования вектора (ФВ). Выдача токенов также возможна как одиночного токена через отдельный канал, так и через отдельный канал потока токенов. В целом, ВПП возможно использовать в качестве ускорителя, но хотелось бы иметь возможность предварительной подготовки данных для обработки в процессоре, этот момент требует дальнейшей проработки.

6. Заключение

В серверных процессорах уже давно стандартом де-факто стало наличие векторных расширений команд, и на сегодняшний день практически все серверные процессоры имеют блоки выполнения векторных команд. Длина векторов пока невелика, 2-8 64-битных слов, и ограничивается прежде всего двумя параметрами: длиной строки кэш, так как для достижения высокой производительности на векторной обработке все элементы вектора должны помещаться в одной строке, и сбалансированностью векторной и скалярной составляющей, так как при слишком большом перевесе в производительности векторной части выполнение скалярного кода на не векторизуемых участках программы будет превосходить время выполнения векторных команд.

Как мы видим, в процессорах последних поколений производители делают упор на повышение производительности скалярной обработки, улучшая схемы предсказаний переходов и окно выдачи команд не по порядку, что позволяет увеличить количество выдаваемых на исполнение команд в такт.

В общем, наметилось разделение серверных процессоров по различным нишам: НРС и задачи машинного обучения. В стане x86 производители-гиганты выпускают различные модели процессоров (собственно, NVidia тоже разделила свои линейки ускорителей), более мелкие производители, не имеющие возможность выпускать разнонаправленные продукты, концентрируются на чём-то одном (например, Fujitsu на рынке НРС, Ampere на рынке облачных сервисов и машинного обучения). Тем не менее, во все современные процессоры добавляется поддержка FP16 и INT8 как раз для повышения производительности на задачах машинного обучения.

Одной из возможных альтернатив существующим процессорам в перспективе могут стать процессоры с архитектурой управления потоком данных, потенциально позволяющие получить более высокую реальную производительность на распараллеливаемых задачах.

К сожалению, ввиду общей обстановки в мире, рейтинг TOP500 теряет свою актуальность, так как часть высокопроизводительных систем, в частности китайских, там не представлена, таким образом, часть технических решений может остаться за кадром [39].

Работа была выполнена в рамках государственного задания по теме FNEF-2024-0016.

Review Of Modern And Upcoming Processors For High-Performance Computing

A.S. Shmelev

Abstract. Nowadays, it is impossible to imagine the progress in science and technology without computer modeling on high-performance computing machines. This paper provides an overview of modern processors of various architectures for HPC.

Keywords: High performance computing (HPC), Central processing unit (CPU), Accelerated Processing Unit (APU), supercomputer, TOP500, x86. POWER, ARM, dataflow, vector dataflow processor

Литература

1. <https://www.amd.com/content/dam/amd/en/documents/epyc-business-docs/product-briefs/3d-vcache.pdf> (дата обращения 06.11.2024).

2. <https://top500.org/system/180047/>(дата обращения 06.11.2024).
3. Пресс-релиз <https://www.amd.com/en/newsroom/press-releases/2023-9-18-amd-completes-4th-gen-epyc-family-with-the-amd-epu.html>(дата обращения 06.11.2024).
4. <https://www.amd.com/en/products/processors/server/epyc/4th-generation-9004-and-8004-series/amd-epyc-9684x.html> (дата обращения 06.11.2024).
5. AMD EPYC™ 9004 Series Architecture Overview June, 2023 <https://www.amd.com/content/dam/amd/en/documents/epyc-technical-docs/white-papers/58015-epyc-9004-tg-architecture-overview.pdf> (дата обращения 06.11.2024).
6. AMD announces 3nm EPYC Turin with 192 cores and 384 threads — 5.4X faster than Intel Xeon in AI work, launches second half of 2024 News By Paul Alcorn published June 3, 2024 <https://www.tomshardware.com/pc-components/cpus/amd-announces-3nm-epyc-turin-launching-with-192-cores-and-384-threads-in-second-half-of-2024-54x-faster-than-intel-xeon-in-ai-work-load> (дата обращения 06.11.2024).
7. AMD FAD 2022 AMD CPU Core Roadmap To Zen 5 <https://www.servethehome.com/amd-technology-roadmap-from-amd-financial-analyst-day-2022/amd-fad-2022-amd-cpu-core-roadmap-to-zen-5/>(дата обращения 06.11.2024).
8. <https://3dnews.ru/1105849/amd-podelilas-nekotorimi-podrobnostyami-o-servernih-protsessorah-turin-i-turin-dense-s-arhitekturami-zen-5-i-zen-5c> (дата обращения 06.11.2024).
9. <https://www.tomshardware.com/pc-components/cpus/amd-announces-3nm-epyc-turin-launching-with-192-cores-and-384-threads-in-second-half-of-2024-54x-faster-than-intel-xeon-in-ai-work-load> (дата обращения 06.11.2024).
10. <https://www.phoronix.com/review/amd-zen5-ryzen-9000> (дата обращения 06.11.2024).
11. Zen 5's 2-Ahead Branch Predictor Unit: How a 30 Year Old Idea Allows for New Tricks July 26, 2024 Cheese, Camacho <https://chipsandcheese.com/2024/07/26/zen-5s-2-ahead-branch-predictor-unit-how-30-year-old-idea-allows-for-new-tricks/> (дата обращения 06.11.2024).
12. <https://chipsandcheese.com/2024/07/15/a-video-interview-with-mike-clark-chief-architect-of-zen-at-amd/> (дата обращения 06.11.2024).
13. Дикарев Н.И., Шабанов Б.М. Выбор процессора для СуперЭВМ и развитие межведомственного суперкомпьютерного центра РАН // Многопроцессорные вычислительные и управляющие системы – 2007. Материалы Международной научно-технической конференции. Т.1. – Таганрог: изд-во ТТИ ЮФУ, 2007.
14. <https://www.anandtech.com/show/17259/intel-discloses-multigeneration-xeon-scalable-roadmap-new-ecore-only-xeons-in-2024> (дата обращения 06.11.2024).
15. <https://ark.intel.com/content/www/us/en/ark/products/237252/intel-xeon-platinum-8593q-processor-320m-cache-2-2-ghz.html>.
16. <https://www.nextplatform.com/2023/09/22/intel-gets-its-chiplets-in-order-with-5th-gen-xeon-sps/>(дата обращения 06.11.2024).
17. <https://top500.org/system/180183/> (дата обращения 06.11.2024).
18. <https://www.hardwareluxx.ru/index.php/news/hardware/prozessoren/55643-intel-xeon-6-144-effektivnykh-yadra-na-starte.html> (дата обращения 06.11.2024).
19. <https://www.servethehome.com/what-is-a-mcr-dimm-or-multiplexer-combined-ranks-dimm-sk-hynix-micron-samsung-intel-amd-nvidia/> (дата обращения 06.11.2024).
20. <https://www.tomshardware.com/news/amd-advocates-ddr5-mrdimms-with-speeds-up-to-17600-mts>(дата обращения 06.11.2024).
21. https://www.micron.com/content/dam/micron/global/public/documents/products/product-flyer/mrdimm_product_brief.pdf (дата обращения 06.11.2024).
22. <https://www.micron.com/products/memory/dram-modules/mrdimm#accordion-9331643c5c-item-afcffb36e> (дата обращения 06.11.2024).
23. <https://top500.org/system/179397/> (дата обращения 06.11.2024).
24. <https://www.hardwareluxx.de/index.php/news/hardware/prozessoren/53864-ibm-power10-bietet-30-kerne-mit-smt8-pcie-5-0-und-ddr5.html> (дата обращения 06.11.2024).
25. <https://www.servethehome.com/ibm-power10-searching-for-the-holy-grail-of-compute/> (дата обращения 06.11.2024).
26. <https://www.anandtech.com/show/16656/ibm-creates-first-2nm-chip> (дата обращения 06.11.2024).
27. <https://top500.org/system/179807/> (дата обращения 06.11.2024).
28. https://www.fujitsu.com/downloads/JP/jsuper/a64fx/a64fx_datasheet.pdf (дата обращения 06.11.2024).

-
29. <https://www.anandtech.com/show/15621/marvell-announces-thunderx3-96-cores-384-thread-3rd-gen-arm-server-processor> (дата обращения 06.11.2024).
 30. Презентация Next Arm Processor FUJITSU-MONAKA and Its Technologies, Fujitsu 2024, <https://www.fujitsu.com/global/images/gig5/FUJITSU-MONAKA.pdf>.
 31. <https://developer.nvidia.com/blog/nvidia-grace-cpu-superchip-architecture-in-depth/> (дата обращения 06.11.2024).
 32. Шмелёв А.С. Тенденции в графических ускорителях для высокопроизводительных вычислений // Труды научно-исследовательского института системных исследований Российской академии наук. 2023. Т. 13. № 4. С. 117-122.
 33. <https://www.fz-juelich.de/en/ias/jsc/jupiter> (дата обращения 06.11.2024).
 34. Дикарев Н.И., Шабанов Б.М., Шмелёв А.С. Моделирование параллельной работы ядер векторного потокового процессора с общей памятью // Программные системы: теория и приложения. 2018. Т. 9. № 1 (36). С. 37-52.
 35. Дикарев Н.И., Шабанов Б.М., Шмелёв А.С. Недостаточная пропускная способность памяти на программе Stencil: преимущество векторного потокового процессора // Программные системы: теория и приложения. 2018. Т. 9. № 4 (39). С. 399-415.
 36. Дикарев Н.И., Шабанов Б.М., Шмелёв А.С. Мелкоструктурный параллелизм и более высокая производительность процессорного ядра: преимущества векторного потокового процессора // Программные системы: теория и приложения. 2019. Т. 10. № 4 (43). С. 201-217.
 37. Дикарев Н.И., Шабанов Б.М., Шмелёв А.С. Быстрые алгоритмы сортировки для векторного потокового процессора // В сборнике: Суперкомпьютерные технологии (СКТ-2018). Материалы 5-й Всероссийской научно-технической конференции. 2018. С. 87-91.
 38. Дикарев Н.И., Шабанов Б.М., Шмелёв А.С. Преимущества и недостатки использования метода векторов указателей в векторном потоковом процессоре // Программные системы: теория и приложения. 2021. Т. 12. № 4 (51). С. 65-83.
 39. <https://www.tomshardware.com/news/industry-expert-chinas-supercomputer-might-may-be-unmatched>.