

Современные достижения и тенденции в области разработки микросхем на основе чиплетов

А. В. Андреев¹, Г. И. Зебрев², К. А. Петров³

¹НИЦ «Курчатовский институт» - НИИСИ, Москва, Россия, alandreev@cs.niisi.ras.ru;

²Национальный исследовательский ядерный университет «МИФИ», Москва, Россия, gizebrev@mephi.ru;

³НИЦ «Курчатовский институт» - НИИСИ, Москва, Россия, petrovk@cs.niisi.ras.ru

Аннотация. В обзоре сформулирован ряд проблем, которые решает технология чиплетов при переходе от «систем на кристалле» (СнК) к «системам в корпусе» (СвК). Рассмотрены достижения в области технологии чиплетов и приведены конкретные примеры СвК на ее основе. Рассмотрены ключевые преимущества и границы применимости технологии чиплетов.

Ключевые слова: чиплет, система в корпусе, система на кристалле, сверхбольшая интегральная схема, сложно-функциональные блоки, программируемая логическая интегральная схема, интерпозер, Through-Silicon Via, Redistribution Layer, микроба

1. Введение

Развитие интегральной электроники на протяжении более 60-ти лет заключалось в увеличении степени интеграции, что позволило уменьшать размеры и потребление интегральных схем, повышая их производительность и снижая стоимость. Однако из-за уменьшения технологических норм и физических ограничений технологий фотолитографии значительно возрастает сложность и стоимость проектирования, а также снижается выход годных кристаллов [1]. В качестве ответа на эти вызовы в 10-х годах в мире развивается технология использования вместо одного большого монолитного кристалла отдельных кристаллов, называемых чиплетами, объединенных между собой в систему в корпусе [2, 3]. Каждый чиплет при этом может выполнять свою функцию (ядра процессора, графический сопроцессор или память), и изготавливаться по разным технологическим нормам – такие системы называются гетерогенными. Чиплеты также имеют применение и в гомогенных системах, когда функционал отдельных чиплетов одинаков (например, многоядерный центральный процессор разные ядра которого находятся на отдельных чиплетах) [4, 5].

Целью данного исследования является анализ подходов и методик разработки подложек для корпусов микросхем на основе чиплетов с точки зрения решения технологических проблем современной микроэлектроники.

Статья организована следующим образом: во

втором разделе обосновывается актуальность проблем, решаемых с использованием технологии чиплетов; в третьем рассматриваются достижения в области технологии чиплетов и приведены конкретные примеры СвК на ее основе, в четвертом – границы применимости технологии чиплетов.

2. Актуальные проблемы, решаемые с помощью технологии чиплетов

Стоимость и длительность разработки и изготовления сверхбольшой интегральной схемы (СБИС) зависит от комплекса технических и технологических факторов, таких как уменьшение проектных норм, увеличение площади кристалла и сложности составных сложно-функциональных (СФ) блоков, что ведет к росту затрат на разработку и производство, а также к снижению выхода годных изделий.

С ростом сложности задач, стоящих перед индустрией разработки вычислительных систем необходимо разрабатывать и изготавливать все более сложные СБИС. Такие СБИС необходимо производить по передовым проектным нормам для обеспечения растущих требований по параметрам энергопотребления, размерам и набору, и типу функциональных ядер и интерфейсов. Снижение проектных норм изготовления СБИС резко увеличивает стоимость разработки и изготовления отдельной системы-на-кристалле (СнК), что показано на рисунке 1.

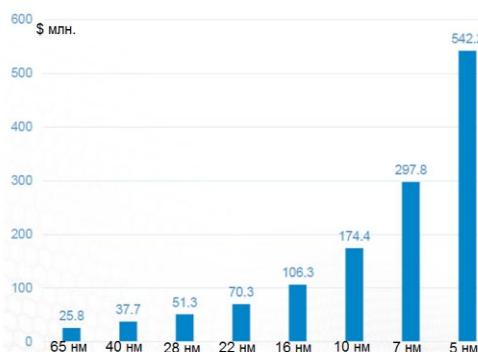


Рис. 1. Стоимость разработки микросхем с уменьшением проектных норм [6]

Увеличение площади кристалла приводит к снижению выхода годных, а значит – к росту стоимости конечных изделий. На рисунке 2 показано влияние перехода к чиплетному дизайну, по сравнению с монолитной СБИС [7].

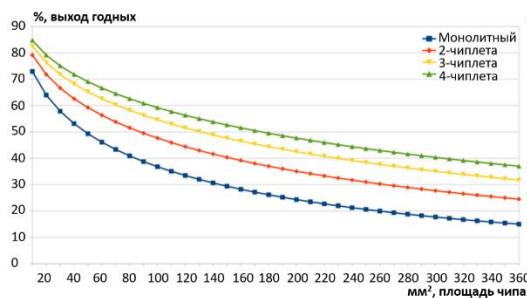


Рис. 2. Зависимость выхода годных от площади изготавливаемого кристалла

Таким образом, монолитный кристалл площадью 200 mm² будет иметь выход только 24%. Однако микросхема на основе четырех чиплетов, каждый из которых имеет площадь 50 mm², будет иметь выход 49%, что более чем вдвое превышает выход монолитного кристалла.

Использование большего количества СФ-блоков при проектировании повышает вероятность возникновения ошибок в СБИС. Их исправление требует дорогостоящего перепроизводства (перезапуска) всего кристалла. Это приводит к необходимости применения дорогостоящих средств отладки и верификации на всех этапах проектирования. Помимо стоимости, большое количество перезапусков увеличивает длительность цикла разработки новых СБИС и вычислительных систем на их основе.

Эти проблемы особенно актуальны при разработке российскими дизайн-центрами в условиях ограниченной серийности изделий для отечественного микроэлектронного рынка.

Технология чиплетов позволяет применить следующие решения при создании СБИС:

1. Разбиение СБИС большой площади на

отдельные кристаллы – чиплеты. Изготовление кристаллов меньшей площади позволяет достигнуть большего выхода годных (рисунок 2), а значит, существенно снизить стоимость микросхемы, изготавливаемой как «система-в-корпусе» по сравнению с микросхемой, изготавливаемой как «система-на-кристалле» (при одинаковом функционале и сравнимой общей площади кристаллов). При малом размере отдельных кристаллов также возможно изготовление на одной полупроводниковой пластине нескольких различных разработанных кристаллов, что дополнительно снижает стоимость изготовления комплекта фотошаблонов при мелкосерийном производстве.

2. Использование различных проектных норм для изготовления чиплетов. Разбиение на отдельные чиплеты позволяет использовать различные проектные нормы при изготовлении различных частей «системы-в-корпусе». В результате возможно изготовление СБИС, оптимальной по функциональным характеристикам и стоимости, содержащей, например, центральный вычислительный чиплет, произведенный по предельной технологической норме для обеспечения максимальной производительности и ответные чиплеты, произведенные по более грубым проектным нормам для снижения их стоимости.

3. Изготовление СФ-блоков в виде отдельных чиплетов. Изготовление СФ-блока собственной разработки в качестве отдельного чиплета позволяет снизить стоимость тестового запуска и отладки при условии его совместимости с универсальным центральным чиплетом. Это позволяет снизить вероятность ошибок при запуске СФ-блока в составе полноценного изделия и сократить стоимость разработки изделия.

Таким образом, применение технологий чиплетов создает предпосылки для значительного снижения стоимости, сроков проектирования и изготовления СБИС для вычислительных систем. Теоретические выгоды чиплетного подхода, обоснованные в разделе 2, нашли свое практическое подтверждение и развитие в ряде успешных коммерческих и исследовательских изделий. Рассмотрим способы применения чиплетов в современных процессорах и вычислительных системах, начиная с исторически значимых и заканчивая передовыми решениями, демонстрирующими эволюцию и многообразие новых методов и технологий в микросхемах на основе чиплетов.

3. Примеры применения чиплетов в процессорах

3.1. Первый успешный пример использования чиплетов

Первая реализация чиплетной технологии в её современном виде была осуществлена компанией Xilinx в 2011 году, когда она перевела свои передовые программируемые логические интегральные схемы (ПЛИС) на чиплетную архитектуру. Этот шаг не только решил конкретную проблему (низкий выход годных), но и открыл новый вектор развития всей отрасли. Основная трудность заключалась в том, что при производстве нового поколения ПЛИС в виде системы на кристалле (SoC) с использованием 28-нм технологического процесса на фабрике TSMC выход годных чипов оказался крайне низким из-за значительных размеров кристалла. Оптимизация дизайна SoC, заключающаяся в разделении ПЛИС на четыре меньших кристалла — чиплета, позволила повысить выход годных кристаллов, что сделало новое поколение ПЛИС экономически эффективным.

После производства чиплеты корпусировались с применением новой технологии CoWoS (Chip-on-Wafer-on-Substrate), также разработанной TSMC в 2011 году. Эта технология представляет собой 2.5D - интеграцию, обеспечивающую как вертикальное, так и преимущественно горизонтальное соединение между четырьмя чиплетами. Для связи чиплетов (28 nm FPGA Die Slice) между собой и с подложкой (Package Substrate) используется интерпозер с TSV и RDL (рисунок 3).

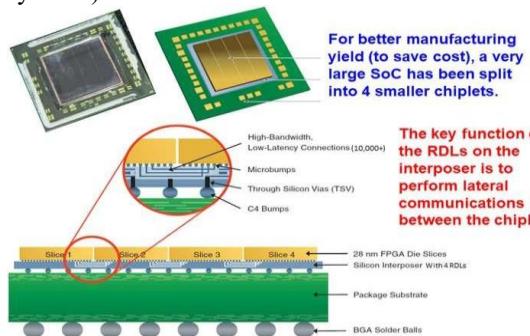


Рис. 3. Разделение крупного кристалла FPGA на 4 чиплета от Xilinx/TSMC [7]

Список технологий, примененных в этой микросхеме:

- интерпозер – дополнительная кремниевая подложка между коммутационной платой микросхемы и кристаллом с переходными отверстиями типа TSV и слоями разводки RDL;
- TSV (Through-Silicon Via) – сквозные

металлизированные отверстия в кремнии;

- RDL (redistribution layer) – слой металлизации в интерпозере, который обеспечивает соединения между чиплетами и корпусом микросхемы.

Минимальный шаг четырёх слоёв перераспределения (RDL) на интерпозере составляет 0,4 мкм, что видно на рисунке 4.

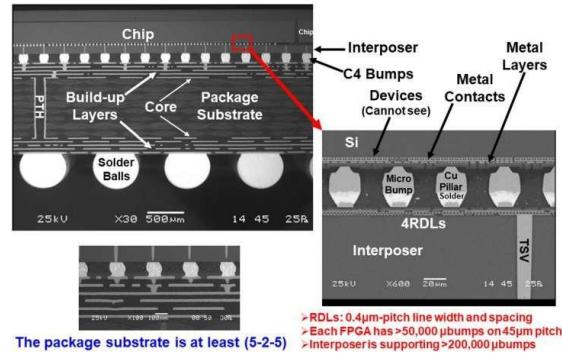


Рис. 4. 2,5D интеграция ИС от Xilinx/TSMC [7]

В 2013 году Xilinx и TSMC совместно объявили о запуске серийного производства семейства чипов Virtex-7 HT с использованием 28-нм технологического процесса. Это событие стало значимым моментом в индустрии как первое серийное производство с дизайном чиплетов. С тех пор было представлено множество успешных микросхем с использованием дизайна чиплетов от ведущих мировых компаний. В последующих разделах данного обзора будут подробно рассмотрены некоторые из них.

3.2. Технология серверного процессора EPYC

В середине 2019 года AMD представила второе поколение процессоров EPYC (Extreme-Performance Yield Computing) серии 7002 под кодовым названием Rome, удвоив количество ядер до шестидесяти четырех. Второе поколение EPYC представляет собой класс серверных процессоров, устанавливающих более высокие стандарты для центров обработки данных. В серверном продукте Rome используется большая структура слоев подложки 9–2–9 (рисунок 5). Один из слоев с разводкой сигналов показан на рисунке 6 вместе с физическим расположением вычислительных кристаллов – CCD (CPU Complex Die), кристалла ввода-вывода – IOD (IO Die), а также основных внешних интерфейсов DRAM (Dynamic Random Access Memory) и SerDes (Serialization/Deserialization).

В системе на кристалле (SoC) AMD EPYC реализуется чиплетная структура, в которой передовые и дорогостоящие технологии, такие как 7-нм процесс на базе TSMC, применяются

исключительно для CPU-ядер, в то время как I/O и интерфейсы памяти продолжают производиться по более старой технологии (14-нм, GlobalFoundries).

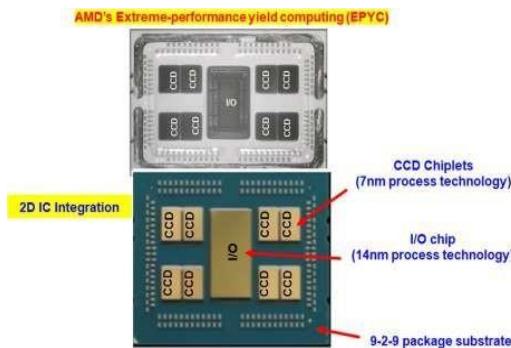


Рис. 5. Чиплетный дизайн процессора EPYC от AMD [8]

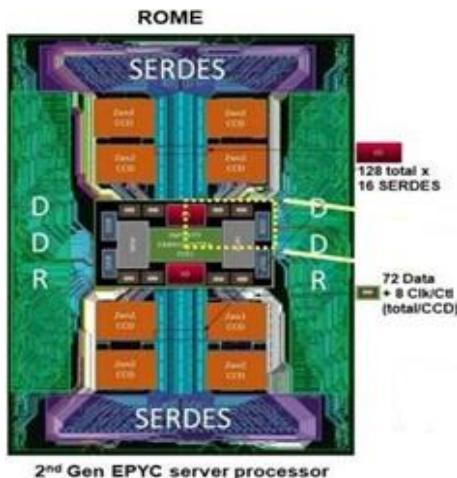


Рис. 6. Топология подложки процессора EPYC от AMD [9]

Необходимость сохранить неизменными размер корпюса и расположение выводов EPYC обуславливает важность тесного взаимодействие между разработчиками кристаллов и корпюса. Это особенно актуально с учетом увеличения числа чиплетов с четырех в первом поколении EPYC до девяти во втором. Такой стратегический подход позволяет снижать затраты и значительно повышать выход качественных чиплетов за счет применения более компактных чиплетов. Однако, по мере роста числа ядер и сложности вычислительных задач, традиционная двумерная компоновка чиплетов стала наталкиваться на физические ограничения, связанные прежде всего с растущими задержками доступа к кэш-памяти L3 и ограниченной пропускной способностью межкристалльных соединений. Потребовались новые, еще более радикальные подходы к интеграции.

3.3. Технология 3D V-Cache

На конференциях IEEE/ISSC 2022 [10] и IEEE/ECTC 2022 [11] компания AMD представила свой дизайн чиплетов 3D V-Cache, которая схематично изображена на рисунке 7.

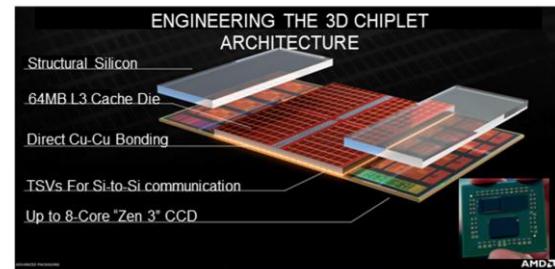


Рис. 7. 3D V-Cache от AMD [11]

Нижний кристалл (81 mm^2) — это вычислительный процессор «Zen 3», изготовленный по 7-нм технологическому процессу TSMC. Верхний кристалл (41 mm^2) — это расширенный кэш L3 (SRAM), изготовленный по тому же процессу. Нижний кристалл с TSV расположен лицевой стороной вниз с использованием C4-бампов. Верхний кристалл также расположен лицевой стороной вниз и соединен с нижним кристаллом методом прямого соединения чипов Cu-Cu (Hybrid Bonding) при помощи микробампов.

На рисунке 8 также можно заметить использование структурных кремниевых кристаллов по бокам над «Zen 3» CCD (Core Complex Die) для обеспечения баланса и плоскостности сборки, что приводит к лучшему отводу тепла от нижнего вычислительного кристалла.

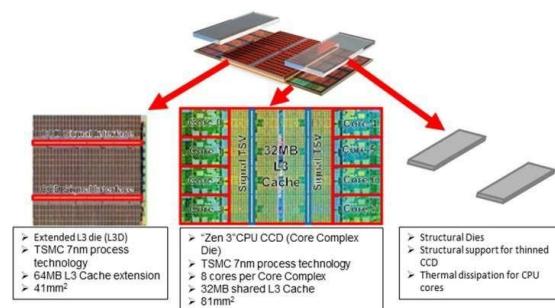


Рис. 8. Расположение кристаллов в 3D V-Cache от AMD [12]

На рисунке 9 показан процесс соединения, выполненный по технологии SoIC (system on integrated chips) от TSMC. Минимальный шаг микробампов при использовании метода прямого соединения чипов Cu-Cu составляет 9 мкм.

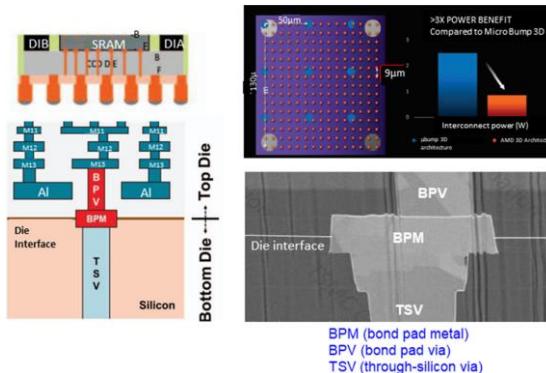


Рис. 9. Гибридное соединение SRAM (с лицевой стороны) и процессорного чипа (с обратной стороны) по технологии SoIC от TSMC для 3D V-Cache AMD [12]

Эта технология устанавливает новый стандарт плотности вертикальных соединений для специализированных пар кристаллов. Однако, масштабирование такого прямого соединения на большее количество разнородных кристаллов в единой 3D-структуре представляет значительную сложность.

3.4. Технология Foveros

Для решения задачи интеграции множества разнородных компонентов (CPU, память, FPGA, ускорители) в сложные гетерогенные 3D-системы Intel предложила альтернативную архитектурную платформу Foveros, анонсированную в декабре 2018 года. Ее основу составляет активный TSV-интерпозер (рисунок 10), который подобен кристаллу и соединен методом «face-to-face» микробампами с шагом 50 мк с чиплетами или системой на кристалле (SoC).

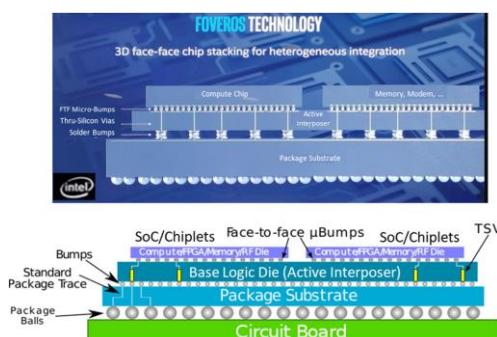


Рис. 10. 3D интеграция ИС Foveros от Intel [13]

Для ODI Type 1 (рисунок 11(а)): два активных TSV-интерпозера (кристаллов) расположены между большим Compute/FPGA/Memory кристаллом и подложкой. Сверху и снизу

интерпозеров расположены микробампы, которые соединяют их с верхним кристаллом и подложкой корпуса.

Для ODI Type 2 (рисунок 11(б)): активный TSV-интерпозер (мост, кристалл) расположен между двумя двумя чиплетами Compute/FPGA/Memory и подложкой. Таким образом, этот интерпозер выполняет роль подложки для интерконнекта между двумя верхними кристаллами.

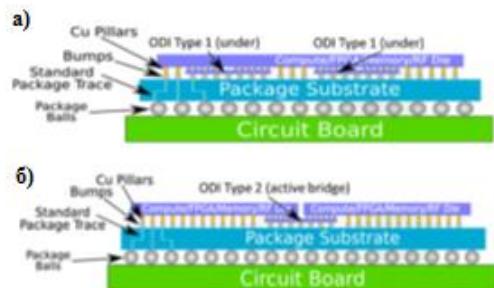


Рис. 11. ODI [14]: (а) - тип 1; (б) - тип 2

Intel также анонсировала интерфейс Management Data Input/Output (MDIO) для межкристального взаимодействия, который призван заменить текущую шину Advanced Interface Bus (AIB). Все эти гетерогенные интеграции направлены на достижение экстремально высокой производительности, а активные TSV-интерпозеры помогают достичь еще более высоких показателей [15-17].

3.5. Особенности мобильного процессора Lakefield

Первым и знаковым практическим воплощением технологии Foveros на массовом рынке стал мобильный процессор Intel Lakefield, поставки которого начались в июле 2020 года. Этот процессор для ноутбуков наглядно демонстрирует, как архитектурные принципы Foveros применяются для создания компактной и энергоэффективной SoC. Система на кристалле (SoC) разделена на функциональные блоки (CPU, GPU, LPDDR4 и т.д.), а CPU дополнительно поделен на один крупный и четыре малых, как показано на рисунке 12. Чиплеты в нижней части сборки соединены микробампами методом «face-to-face». Нижний кристалл является активным TSV-интерпозером. Соединение между интерпозером и подложкой корпуса выполняется с помощью бампов C4, а между подложкой и печатной платой – BGA-шариками (Ball Grid Array).

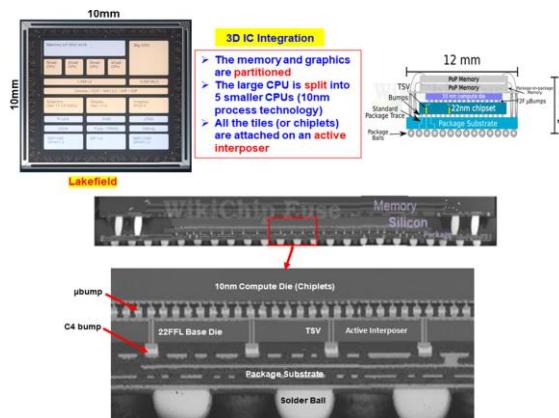


Рис. 12. Структура и схематичное изображение Lakefield от Intel [18]

Конечный формат корпуса представляет собой структуру PoP (корпус на корпусе) размером 12 мм × 12 мм × 1 мм (рисунок 12). Дизайн чиплетов и гетерогенная интеграция реализованы в нижнем корпусе, тогда как верхний корпус содержит память, соединённую по технологии проволочного монтажа (wire bonding). Изготовление верхнего кристалла выполнено по 10-нм технологическому процессу Intel, а нижнего – интерпозера – по 22-нм. Стоит отметить, что это первое в истории высокообъемное производство процессоров для мобильных устройств (например, ноутбуков), реализованное с применением трёхмерной интеграции чиплетов.

Значение Lakefield как первого массового процессора с 3D-интеграцией и практической демонстрации технологии Foveros трудно переоценить. Его реализация с использованием микробампов с шагом 50 мкм обозначила потенциал для дальнейшего увеличения плотности межкристальных соединений и снижения задержек – ключевых параметров для будущих высокопроизводительных и компактных решений на базе Foveros.

3.6. Технология Foveros-Direct

Уже через месяц после начала поставок Lakefield, в августе 2020 года на Intel Architecture Day, компания анонсировала ключевое направление эволюции Foveros – внедрение гибридного бондинга (Cu-Cu hybrid bonding) для прямого соединения кристаллов. На конференции IEEE Hot Chip Conference (август 2021 года) эта технология уже была представлена под названием FOVEROS-Direct [16], где Intel продемонстрировала, что при использовании гибридного соединения (bumpless hybrid bonding) шаг соединений может быть уменьшен до 10 мкм, в отличие от 50 мкм, как в случае с процессором Lakefield, что показано на рисунке 13.

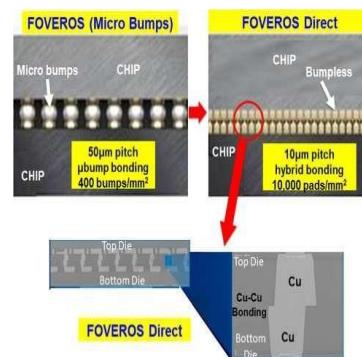


Рис. 13. Гибридное соединение Foveros-Direct [17]

3.7. Технология графического процессора Ponte Vecchio

Развитие технологий гибридной сборки, анонсированных в Foveros-Direct, нашло свое наиболее масштабное и комплексное воплощение в графическом процессоре Ponte Vecchio, или, как его называют, «космический корабль среди GPU» [19, 20]. Этот процессор стал крупнейшим и наиболее сложным проектом с использованием чиплетов на сегодняшний день, что показано на рисунках 14-16. Процессор Ponte Vecchio был выпущен в 2023 году, однако уже в мае 2024 года компания приняла решение о прекращении его производства. Intel намерилась сосредоточиться на более конкурентоспособных и актуальных на данный момент ускорителях, ориентированных для задач искусственного интеллекта.



Рис. 14. Графический процессор Ponte Vecchio компании Intel [20]

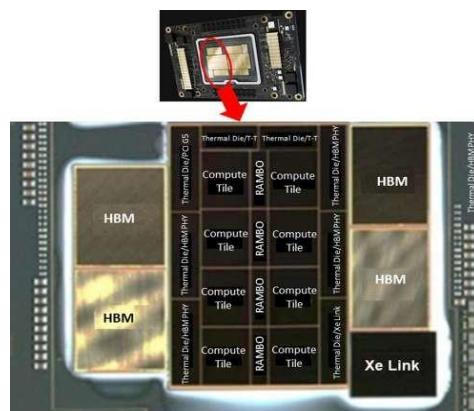


Рис. 15. Расположение чиплетов выделенной зоны процессора Ponte Vecchio [21]

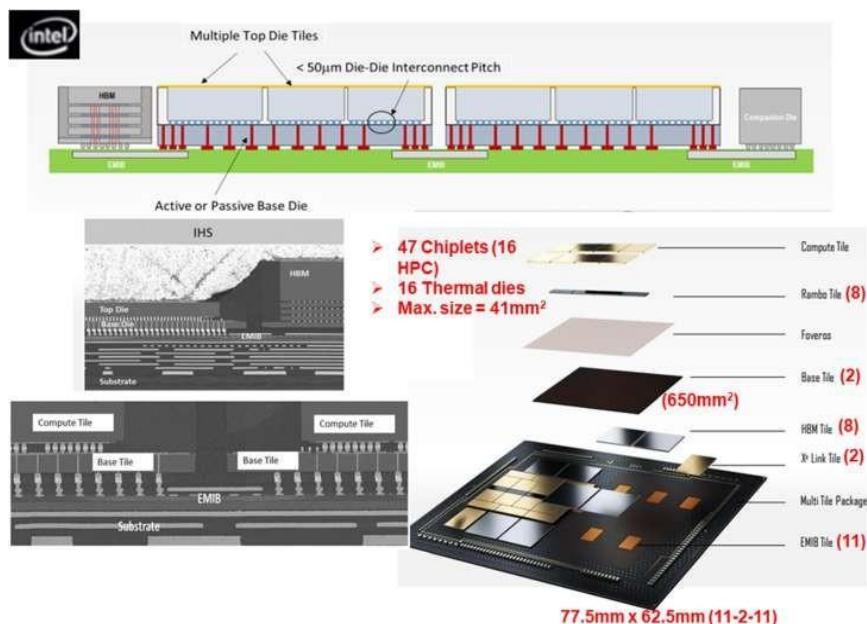


Рис.16. Расположение чиплетов выделенной зоны процессора Ponte Vecchio [21]

В графическом процессоре Ponte Vecchio используется несколько ключевых технологий, которые обеспечивают работу 47 различных функциональных кристаллов, основанных на разных технологических процессах и архитектурах. Также дополнительно используется 16 термокристаллов, которые обеспечивают более равномерное распределение тепла от активных чипов. В составе процессора присутствуют два нижних (базовых) кристалла (642 mm^2 каждый), 16 вычислительных чиплетов, восемь кристаллов кеш-памяти RAMBO, столько же стеков памяти HBM и рядом расположены два кристалла шины Xe Link. За связь между всеми чиплетами в

графическом процессоре отвечает шина EMIB (11 кристаллов). EMIB представляет собой ключевую технологию межкристального соединения, обеспечивающую высокоскоростную коммуникацию между отдельными чиплетами. Детальное изображение EMIB показано на рис. 16. В процессоре в основном используются чиплеты с собственным 7-нм технологическим процессом от Intel, но компания также использовала некоторые вычислительные кристаллы на сторонних фабриках (например, TSMC с их 5-нм процессом). Ключевые параметры процессора отображены в таблице 1.

Таблица 1. Ключевые характеристики GPU Ponte Vecchio.

Кол-во чиплетов	47 функциональных+16 термокристаллов
Кол-во слоев подложки	11-2-11 (24)
Габариты подложки	77,5 x 62,5 мм (4844 мм ²)
Кол-во выводов подложки	4468
Общая площадь чипов (с термокристаллами / без них)	3100 мм ² /2330 мм ²
Общее кол-во транзисторов в СвК	Более 100 млрд
Шаг микробампов, соединяющих кристаллы	36 мкм
Максимальная площадь верхнего кристалла	41 мм ²
Площадь нижнего кристалла	650 мм ²
Потребляемая мощность СвК	600 Вт

4. Заключение

В статье были рассмотрены современные достижения и актуальные тенденции в области разработок микросхем на основе чиплетов от крупных коммерческих компаний с 2011 до 2024 год.

Технология чиплетов дает возможность снизить затраты при проектировании (вместо нового монолитного чипа можно использовать готовые чиплеты), увеличить выход годных (маленькие размеры чиплета снижают вероятность дефекта), увеличить гибкость при производстве (разные чиплеты могут быть изготовлены по разным технологическим процессам, оптимизированным под конкретные задачи).

Границами применимости в разработке микросхем на основе чиплетов являются:

1. Повышенная технологичность изготовления подложек для корпусов микросхем.

2. Увеличение площади подложки из-за разделения монолитного кристалла на чиплеты.

3. Повышается сложность разработки корпуса из-за высоких требований применения новых интерфейсов и обеспечения их электрических характеристик.

4. Традиционные методики разработки корпуса микросхемы менее подходят для работы с чиплетами, что требует модернизации САПР.

Ключевые преимущества использования чиплетов по сравнению с монолитными системами на кристалле (SoC):

1. Увеличение выхода годных кристаллов в процессе производства из-за меньшего размера чипа.

2. Размещение меньших кристаллов на подложке ведет к равномерному и более эффективному распределению тепла в корпусе микросхемы.

3. Применение чиплетов позволяют обновлять или модифицировать многоクリстальную сборку, так как можно легко заменить или улучшить отдельный чиплет без необходимости полного перепроектирования всей микросхемы.

Чиплетные сборки становятся ключевым подходом в разработке высокопроизводительных микросхем, особенно с учётом растущих затрат на проектирование и производство при переходе к более тонким техпроцессам. Эта технология позволяет значительно улучшить выход годных кристаллов, снизить стоимость и обеспечить гибкость при разработке сложных систем в корпусе.

Публикация выполнена в рамках государственного задания НИЦ "Курчатовский институт" - НИИСИ по теме № FNEF-2024-0003.

Modern Achievements and Trends in the Development of Chiplet-Based Integrated Circuits

A. V. Andreev, G. I. Zebrev, K. A. Petrov

Abstract. This review identifies a number of challenges that chiplet technology addresses in the transition from systems-on-chip (SoC) to systems-in-package (SIP). Advances in chiplet technology are examined, and specific examples of SIP-based systems are given. The key advantages and limits of applicability of the chiplet technology are considered.

Keywords: chiplet, system-in-package, system-on-chip, very-large-scale integration, complex functional blocks, Field-Programmable Gate Array, interposer, Through-Silicon Via, Redistribution Layer, microbump

Литература

1. Shalf, J. (2020). The future of computing beyond moore's law. *Phil. Trans. R. Soc. A.*, 378(2166), 20190061. <https://doi.org/10.1098/rsta.2019.0061>
2. Бобков С.Г. Технология чиплетов - перспективное направление развития российской микроэлектроники // Электронная техника. Серия 3: Микроэлектроника. 2022. № 1 (185). С. 42-51.
3. Liu, Y., Li, X. & Yin, S. Review of chiplet-based design: system architecture and interconnection. *Sci. China Inf. Sci.* 67, 200401 (2024). <https://doi.org/10.1007/s11432-023-3926-8>.
4. J. Lan, V. P. Nambiar, R. Sabapathy, M. D. Rotaru and A. T. Do, "Chiplet-based Architecture Design for Multi-Core Neuromorphic Processor," 2021 IEEE 23rd Electronics Packaging Technology Conference (EPTC), Singapore, Singapore, 2021, pp. 410-412.
5. S. Naffziger et al., "Pioneering Chiplet Technology and Design for the AMD EPYC™ and Ryzen™ Processor Families: Industrial Product," 2021 ACM/IEEE 48th Annual International Symposium on Computer Architecture (ISCA), Valencia, Spain, 2021, pp. 57-70.
6. Neuffer, J., 2019, "An Industry Perspective on Government Action: The DARPA Electronics Resurgence Initiative," Semiconductor Industry Association, Washington.
7. Netronome, 2020 "It's Time for Disaggregated Silicon!," Netronome, CranberryTwp., PA, accessed Oct. 2022, <https://www.netronome.com/blog/its-timedisaggregated-silicon/>
8. Naffziger, S., Lepak, K., Paraschour, M., and Subramony, M., 2020, "AMD Chiplet Architecture for High-Performance Server and Desktop Products," IEEE/ISSCC Proceedings, Virtual conference, Feb. 16–20, pp. 44–45.
9. Naffziger, S., 2020, "Chiplet Meets the Real World: Benefits and Limits of Chiplet Designs," Symposia on VLSI Technology and Circuits, Virtual conference, June 14–19, pp. 1–39.
10. Wuu, J., Agarwal, R., Ciraula, M., Dietz, C., Johnson, B., Johnson, D., Schreiber, R., et al., 2022, "3D V-CacheTM: The Implementation of a Hybrid-Bonded 64MB Stacked Cache for a 7 nm _86-64 CPU," Proceedings of IEEE/ISSCC, San Francisco, CA, Feb. 20–26, pp. 1–36.
11. Agarwal, R., Cheng, P., Shah, P., Wilkerson, B., Swaminathan, R., Wuu, J., and Mandalapu, C., 2022, "3D Packaging for Heterogeneous Integration," IEEE/ ECTC Proceedings, San Diego, CA, May 31–June 3, pp. 1103–1107.
12. Swaminathan, R., 2022, "The Next Frontier: Enabling Moore's Law Using Heterogeneous Integration," *Chip Scale Rev.*, 26(3), pp. 11–22.
13. Prasad, C., Chugh, S., Greve, H., Ho, I., Kabir, E., Lin, C., Maksud, M., et al., 2020, "Silicon Reliability Characterization of Intel's Foveros 3D Integration Technology for Logic-on-Logic Die Stacking," Proceedings of IEEE Interna tional Reliability Physics Symposium, Grapevine, TX, Apr. 28–May 3, pp. 1–5.
14. Wade, M., Anderson, E., Ardalan, S., Bhargava, P., Buchbinder, S., L. Davenport, M., Fini, J., et al., 2020, "TeraPHY: A Chiplet Technology for LowPower, High-Bandwidth in-Package Optical I/O," *IEEE Comput. Soc.*, 40(2), pp. 63–71.
15. Ingerly, D., Amin, S., Aryasomayajula, L., Balankutty, A., Borst, D., Chandra, A., Cheemalapati, K., et al., 2019, "Foveros: 3D Integration and the Use of Face to-Face Chip Stacking for Logic Devices,"

- IEEE/IEDM Proceedings, San Francisco, CA, Dec. 7–11, pp. 19.6.1–19.6.4.
16. Gomes, W., Khushu, S., Ingerly, D., Stover, P., Chowdhury, N., O’Mahony, F., Balankutty, A., et al., 2020, “Lakefield and Mobility Computer: A 3D Stacked 10nm and 2FFL Hybrid Processor System in 12x12 mm², 1mm Package-on Package,” IEEE/ISSCC Proceedings, Hiroshima, Japan, Nov. 9–11, pp. 40–41.
17. Mahajan, R., and Sane, S., 2021, “Advanced Packaging Technologies for Heterogeneous Integration,” Proceedings of IEEE Hot Chip Conference, Palo Alto, CA, Aug. 22–24, pp. 1–44.
18. Intel, 2020, Intel Architecture Day, Intel, Santa Clara, CA.
19. Gomes, W., Koker, A., Stover, P., Ingerly, D., Siers, S., Venkataraman, S., Pelto, C., Shah, T., et al., 2022, “Ponte Vecchio: AMulti-Tile 3D Stacked Processor for Exascale Computing,” Proceedings of IEEE/ISSCC, San Francisco, CA, Feb. 20–26, pp. 42–44.
20. Gelsinger, P., 2021, Engineering the future, Intel Unleashed Webcast, Intel, Santa Clara, CA.
21. Sheikh, F., Nagisetty, R., Karnik, T., and Kehlet, D., 2021, “2.5D and 3D Heterogeneous Integration – Emerging Applications,” IEEE Solid-State Circuits Mag., 13(4), pp. 77–87.