

Обзор трансформируемой архитектуры системы на кристалле MONARCH

П. С. Остапенков¹, А. М. Чупрунов²

¹ФГБОУ ВО «НИУ «МЭИ», Москва, Россия, OstapenkovPS@mpei.ru;

²ФГБОУ ВО «НИУ «МЭИ», Москва, Россия, ChuprunovAM@mpei.ru;

Аннотация. В статье приводится обзор архитектуры системы на кристалле MONARCH, которая была представлена в 2007 году исследователями и аспирантами Университета Южной Калифорнии с участием инженеров компании Raytheon по гранту Агентства перспективных исследований министерства обороны США, и которая до сих пор остаётся актуальной. Описываются основные характеристики, компоненты архитектуры и режимы работы полиморфного процессора. Приводятся примеры применения MONARCH в модульных многопроцессорных измерительно-управляющих системах компании Raytheon.

Ключевые слова: MONARCH, система на кристалле, полиморфный процессор, высокопроизводительные вычисления, цифровая обработка сигналов, энергоэффективность, модульность, автономность, бортовые измерительно-управляющие системы

1. Проект MONARCH

Проект MONARCH [1] финансировался агентством Министерства обороны США по перспективным научным исследованиям (англ. DARPA) с начала 2000-х г. в рамках программы «Полиморфная компьютерная архитектура», - грант DARPA ВАА 00-59 от 2000 года в сфере исследований: автоматизированные системы радиоэлектронной борьбы (РЭБ), включая исследования в области «Искусственный интеллект для радиоэлектронной борьбы» (англ. AI-EW).

2. Разработка

По гранту DARPA в США на I и II этапах в программе «Полиморфная компьютерная архитектура» принимали участие Институт информационных наук Университета Южной Калифорнии (англ. USC-ISI) совместно с группой передовых концепций и технологий Raytheon Space and Airborne Systems. В рамках реализации программы была разработана трансформируемая архитектура MONARCH (англ. Morphable Networked Micro-Architecture).

2.1. Университет и промышленность

В число разработчиков от университета USC-ISI под руководством директора отдела перспективных систем Джона Гранацки (англ. John Granacki) входили две команды исследователей возглавляемые Джеффом ЛаКоссом (англ. Jeff LaCoss) и Джеффом Дрейпером (англ. Jeff Draper). Команда Джеффа Дрейпера из двух инженеров и четырёх аспирантов внесла значительный вклад в разработку микросхемы MONARCH.

Исследователи разработали и реализовали: RISC-процессоры (англ. Reduced Instruction Set Computer), сеть на кристалле с маршрутизаторами пакетов (англ. packet buffers - PBufs), блоки с плавающей запятой в арифметических кластерах FPCA (Field Programmable Computer Array), интерфейс Flash (с первоначальной загрузкой системы на кристалле) и встроенные контроллеры DRAM (англ. Dynamic Random-Access Memory).

Помимо команд университета USC-ISI, в разработке участвовали исследователи и представители из других институтов и предприятий США: Exogi Inc., Технологический институт Джорджии (англ. Georgia Tech), причём один из ведущих инженеров James Kulp совмещал работу в Mercury Computer Systems и в подразделении IBM Global Engineering Solutions.

2.2. Результаты

По гранту с DARPA на III этапе необходимо было реализовать прототип микросхемы. В ходе предварительных испытаний прототип микросхемы «система на кристалле» MONARCH обеспечил:

- производительность на операциях с 32-битными числами с плавающей запятой 64 Гфлопс/с,
- на операциях обращения к внешней памяти более 60 Гбайт/с,
- пропускную способность межсистемных обменов вне микросхемы более 43 Гбайт/с.

Со стороны исполнителя Университета USC-ISI руководитель работ Джон Гранацки отметил: «То, что мы создали, — это, по сути, суперкомпьютер на кристалле, и не просто суперкомпьютер, а гибкий суперкомпьютер,

который перестраивается в оптимальный суперкомпьютер для каждой конкретной части многоэтапной задачи», а Джефф Дрейпер добавил: «На момент внедрения чип MONARCH был самой большой стандартной ASIC, которую IBM когда-либо создавала по 90-нанометровой технологии» [1].

По словам Джона Гранацки, полиморфные возможности и сверхэффективность MONARCH позволяют разрабатывать системы для Министерства обороны США, которые должны быть очень компактными, высокопроизводительными, малопотребляющими, а в некоторых случаях (особенно для систем, используемых в космосе) устойчивыми к радиации.

Со стороны заказчика компании Raytheon комментарии руководителей были превосходными. Как объяснил Ник Урос (Nick Uros), вице-президент группы перспективных концепций и технологий компании Raytheon Space and Airborne Systems: «Микроархитектура MONARCH уникальна своей способностью перестраиваться для оптимизации обработки данных на лету. MONARCH обеспечивает исключительную вычислительную мощность и гибкую пропускную способность для передачи данных, а также высочайшую энергоэффективность и полную программируемость», главный исследователь проекта в Raytheon Майкл Вейи (Michael Vahey) добавил про энергоэффективность: «MONARCH превзошёл четырёхъядерный процессор Intel Xeon в 10 раз» [1].

В дальнейшем данную разработку использовали для создания высокопроизводительных компьютерных систем бортового назначения, поскольку «система на кристалле» обладает наилучшими характеристиками по стоимости вычислений на

Ватт подводимой электроэнергии.

3. Технология изготовления

Микросхема MONARCH была изготовлена компанией IBM по технологии CMOS (англ. Complementary Metal–Oxide–Semiconductor) по техпроцессу 90 нм с 8-ю медными слоями, на которых можно разместить до $72 \cdot 10^6$ логических элементов [2]. Размер микросхемы 18,76 x 18,76 мм.

4. Энергоэффективность и пиковая производительность

При работе на частоте 333 МГц (первые экземпляры) пиковая производительность составила 64 млрд. операций с 32-разрядными числами с плавающей запятой в секунду или 64 Гфлопс/с при номинальном потреблении 8-50 Вт. Энергоэффективность в расчёте на 1 Вт составляла от 3 до 6 Гфлопс/Вт [1].

5. Реконфигурируемый массив вычислительных узлов

Базовый вычислительный узел «системы на кристалле» MONARCH состоит из четырёх взаимосвязанных компонентов:

- многопоточного RISC-процессора,
- встроенной динамической памяти (англ. EDRAM, Embedded DRAM),
- буфера пакетов кольцевой сети (англ. PBuf Ring),
- интерфейса FPCA-узла (англ. Array Node Bus Interface, ANBI).

Объединённая структура базовых вычислительных узлов показана на рис. 1.

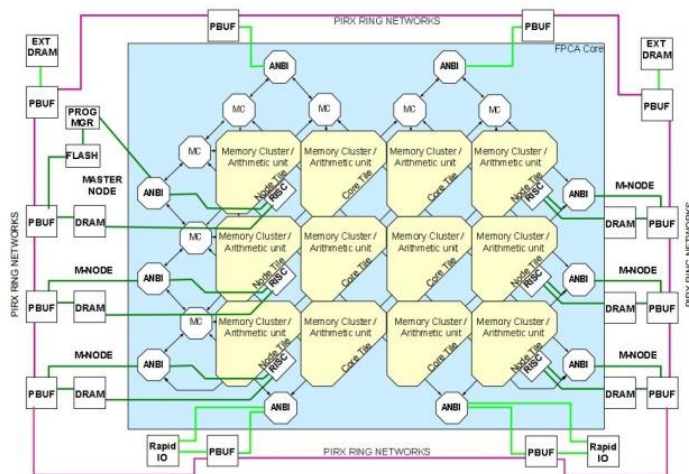


Рис. 1. Архитектура системы на кристалле MONARCH [3]

На рисунке 1 обозначены:

PBuf — это встроенный сетевой маршрутизатор пакетов, циркулирующих по двунаправленному кольцу между вычислительными узлами; ANBI-интерфейс соединяет основную часть FPCA с PBuf, интерфейс предоставляет вычислительным потокам порт для доступа к памяти других вычислительных узлов, находящихся в кольце (англ. PIRX RING NETWORK). Через PBuf осуществляется дистанционный прямой доступ (англ. RDMA - Remote Direct Memory Access) к внешней памяти (англ. ExtDRAM – External DRAM) и к бортовому интерфейсу RapidIO, при этом поддерживается согласованность кэшей (англ. Cache Coherence).

6. Трансформируемые кольцевые сети

В основе архитектуры MONARCH лежит двунаправленная кольцевая сеть из 12 узлов PBuf, обладающая способностью к трансформации, как внутри микросхем MONARCH, так и к объединению этих микросхем в единую многопроцессорную измерительно-управляющую систему. Основной принцип функционирования двунаправленной кольцевой сети - сохранение работоспособности при выходе из строя линий связи или узлов сети с трансформацией из кольца в цепочку или цепочки узлов. Такое трансформирование колец с узлами различного назначения было использовано в стандартах IEEE-802.17 на региональные информационные сети и в нестандартных фирменных суперкомпьютерных решениях. Американские Cray XK7, IBM Blue Gene/Q имеют топологии 3D-тор и 5D-тор соответственно, и были созданы после воплощения MONARCH.

Разработанная в 2013 году российская сеть АНГАРА от НИЦЭВТ, подобная американским решениям, имела топологию 4D-тор, и воплощена в СБИС ЕС8430 [4]. Изготовленная по 68-нм техпроцессу СБИС ЕС8430 имеет размеры 13 x 10,5 мм, и, потребляя 36 Вт, обеспечивает пропускную способность 8 Гбайт/с. При этом пропускная способность Cray XK7 составляет 9.6 Гбайт/с, а IBM примерно 20 Гбайт/с [4]. Это почти двукратное превосходство IBM Blue Gene/Q, может быть объяснено участием инженеров от IBM в более ранней разработке MONARCH.

Кольцевая сеть, реализованная в MONARCH, не имеет аналогов среди систем на кристалле и является прототипом для более современных решений.

7. Переключаемые модели вычислений

В системе на кристалле MONARCH поддерживается переключение режимов вычислений во время работы, что делает её уникальной в своём роде. При этом вычислительный FPCA-массив (англ. Field Programmable Computer Array) «системы на кристалле» MONARCH может выполнять загруженные программы в одном из трёх возможных режимов: MIMD, Stream, SIMD [5].

1. В режиме MIMD (англ. Multiple Instruction stream, Multiple Data stream) шесть 32-битных RISC-процессоров симметрично обрабатывают данные (англ. Symmetric Multiprocessing, SMP), находящиеся во встроенной DRAM-памяти, используя её как общую память. При этом обеспечивается дистанционный прямой доступ в память (англ. RDMA - Remote Direct Memory Access), подключенную к двум интерфейсам PBuf (см. на рис.1).

2. В режиме Stream 96 арифметическо-логических устройств (англ. ALU, Arithmetic Logic Unit) соединяются матрицей переключателей (англ. Crossbar) для выполнения операций умножения и сложения 32-битовых целых чисел и чисел с плавающей запятой в однопоточном или многопоточном исполнении.

3. В режиме SIMD (англ. Single Instruction, Multiple Data) семь встроенных векторных процессоров, выполняют SIMD-инструкции. При этом используется Altivec-набор SIMD-инструкций, принадлежащий альянсу AIM (компаниям Apple Computer, IBM и Motorola), который особенно эффективен в задачах цифровой обработки сигналов, таких как цифровая фильтрация, алгоритмах быстрого преобразования Фурье, свёрточного кодирования и декодирования, обработки изображений, видеопотоков, шифрования и дешифрования и пр.

8. Интерфейсы MONARCH

Микросхема MONARCH содержит 16 портов-HSIO (англ. High-speed I/O) с двунаправленными каналами связи между узлами полиморфной вычислительной архитектуры (FPCA):

- 12 портов для внутримодульной связи,
- 4 для межмодульной связи с общей пропускной способностью 42,67 Гбайт/с.

Кроме того, для подключения к измерительно-управляющему оборудованию

бортовых систем имеются два порта интерфейса 4x Serial RapidIO с суммарной пропускной способностью 1.25 Гбайт/с [6].

9. MONARCH в бортовых измерительно-управляющих системах

На пленарном заседании 19 сентября 2006 года на конференции по высокопроизводительным встроенным вычислениям (англ. High Performance Embedded Computing, HPEC-2006) разработчиками от Университета Южной Калифорнии и компании Raytheon был представлен доклад «MONARCH: Полиморфный вычислительный процессор первого поколения» [6], в котором описана информационная измерительно-управляющая система, состоящая из четырёх микросхем MONARCH, которая решает задачи цифровой обработки сигналов на борту БПЛА (беспилотный летательный аппарат) типа Global Hawk.

На следующей конференции HPEC-2008 через два года инженерами компании Raytheon был представлен стендовый доклад [7] с описанием передвижной компьютерной томографической системы, построенной на восьми модулях с MONARCH, см. рис. 2.

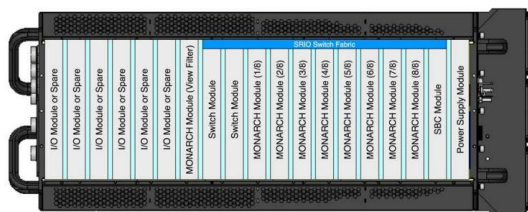


Рис. 2. Модульная система с MONARCH [7]

Система была построена в модульном стандарте VME/VPX (англ. VMEbus Switched Serial), который был создан специально для рынка авиационно-космических и оборонных систем. Система имела воздушное охлаждение, 432 МБ встроенной DRAM-памяти, 72 ГБ внешней DDR2-DRAM-памяти, обеспечивая суперкомпьютерную производительность 2.3 Тфлоп/с (англ. TFLOPS/s) при потребляемой мощности от 720 Вт до 1.26 кВт [7].

Быстрое развитие беспилотных авиационных систем (БАС) предъявляет новые требования к бортовым измерительно-управляющим комплексам. Современные БАС должны быть оснащены современными нейросетевыми функциями, которые позволяют принимать большинство решений без участия операторов, обеспечивая требуемую

автономность своей миссии в воздухе.

Следует отметить, что по теме создания трансформируемых вычислительных архитектур с 2008 года в мире не было выпущено значимых публикаций, а широкие разработки, подобные проекту MONARCH велись внутри фирм. Так, например, фирма nVidia разработала своё закрытое решение NVLink [8], которое объединяет графические процессоры GPU (англ. Graphics Processing Unit) в единую вычислительную систему, которая работает в основном режиме SIMD. Переключение во время работы в другие режим, например, в MIMD, как в системе MONARCH, не предусмотрено. Для использования GPU в режиме MIMD графические процессоры подключаются по отдельным интерфейсам к центральному процессорам CPU (англ. Central Processing Unit) вычислительной системы. Для решения задач стандартного подключения графических процессоров к GPU, консорциум ведущих мировых фирм AMD, Broadcom, Cisco, Google, Hewlett Packard Enterprise, Intel и Microsoft в апреле 2025 года выпустил спецификацию открытого интерфейса UELink [9]. Разрабатываемая спецификация UELink определяет правила объединения GPU с CPU различных производителей в единую вычислительную систему для обучения больших нейронных сетей посредством оборудования Ethernet. Однако и это стандартное решение избыточно для бортовых систем, на создание которых нацелена архитектура MONARCH.

Со времени появления архитектуры MONARCH актуальность трансформируемых микропроцессорных архитектур и «систем на кристалле», позволяющих подстраиваться и решать задачи автономного управления объектами при минимальном энергопотреблении, только возрастает.

Применения нейросетей и развитие систем искусственного интеллекта приводит к необходимости структурного объединения элементов вычислительной, измерительной техники, размещённых на одном кристалле и имеющих возможность, как для трансформации под выполняемые вычислительные задачи, так и межмодульного высокоскоростного объединения. Прототипом современных бортовых многопроцессорных измерительно-управляющих систем стала архитектура MONARCH.

Overview of the Transformable Architecture of the System-On-Chip MONARCH

P. S. Ostapenkov, A. M. Chuprunov

Abstract. The paper provides an overview of the MONARCH system-on-chip architecture. The architecture was presented in 2007 by researchers and graduate students of the University of Southern California with the participation of Raytheon engineers under a grant provided by the US Department of Defense Advanced Research Agency. The main characteristics, architecture components, and operating modes from the polymorphic processor are described. Examples of MONARCH applications in modular multiprocessor measurement and control systems from Raytheon are given.

Keywords: MONARCH, system on a chip, polymorphic processor, high-performance computing, digital signal processing, energy efficiency, modularity, autonomy, on-board measurement and control systems

Литература

1. John Granacki MONARCH: Next Generation SoC (Supercomputer on a Chip) / John Granacki [Электронный ресурс] // Researchgate : [сайт]. — URL: https://www.researchgate.net/publication/235116338_MONARCH_Next_Generation_SoC_Supercomputer_on_a_Chip (дата обращения: 28.11.2025).
2. IBM introduces next-gen Asic for 90nm / [Электронный ресурс] // : [сайт]. — URL: <https://www.electronicweeky.com/news/archived/resources-archived/ibm-introduces-next-gen-asic-for-90nm-2002-06/> (дата обращения: 28.11.2025).
3. PBuf: An On-Chip Packet Transfer Engine for MONARCH // 49th IEEE International Midwest Symposium on Circuits and Systems URL: <https://ieeexplore.ieee.org/document/4267408> (дата обращения: 01.12.2025).
4. На пути к созданию отечественного суперкомпьютера субэкзафлопсной производительности СБИС ЕС8430 // МСКФ-2013, 23 октября 2013 г. URL: <https://www.ospscon.ru/files/media/Simonov.pdf> (дата обращения: 28.11.2025).
5. Mike Vahey (Raytheon), John Granacki (USC-ISI) and others // MONARCH: A First Generation Polymorphic Computing Processor / Mike Vahey [Электронный ресурс] // HPEC-06 : [сайт]. — URL: https://archive.ll.mit.edu/HPEC/agendas/proc06/Day1/05_Vahey_Pres.pdf (дата обращения: 28.11.2025).
6. William, G. W. Reconfigurable Architecture Targets Military Sensor Systems / G. W. William. — Текст : электронный // ElectronicDesign : [сайт]. — URL: <https://www.electronicdesign.com/technologies/industrial/boards/article/21766384/reconfigurable-architecture-targets-military-sensor-systems> (дата обращения: 28.11.2025).
7. Using MONARCH for High Performance Processing A Case Study for CT Reconstruction. — Текст : электронный // HPEC 2008 : [сайт]. — URL: <https://archive.ll.mit.edu/HPEC/agendas/proc08/Day1/10-Day1-PosterDemoA-Prager-abstract.pdf> (дата обращения: 28.11.2025).
8. NVIDIA NVLink High-Speed GPU Interconnect // NVIDIA URL: <https://www.nvidia.com/en-eu/products/workstations/nvlink-bridges/> (дата обращения: 28.11.2025).
9. Ultra Accelerator Link Consortium, Inc. Specification UALink_200 Rev 1.0 // UALink URL: https://ualinkconsortium.org/wp-content/uploads/2025/12/UALink200_Specification_v1.0_Evaluation_Copy-v2.pdf (дата обращения: 28.11.2025).