

УДК 621.391.8

Бесшовная архитектура узла динамической фазовой перестройки тактовых трактов в высокоскоростных интерфейсах физического уровня DDR

Т. Р. Денщиков¹, К. А. Петров²¹НИЦ «Курчатовский институт» - НИИСИ, Москва, Россия, denschikov@cs.niisi.ras.ru²НИЦ «Курчатовский институт» - НИИСИ, Москва, Россия, petrovk@cs.niisi.ras.ru

Аннотация. В работе предложена модификация архитектуры узла фазовой подстройки тактового сигнала в составе цифрового интерфейсного блока физического уровня DDR (DDR PHY), предназначенного для формирования и подстройки тактовых сигналов в передающем и принимающем трактах. Актуальность задачи определяется ростом требований к устойчивости временных параметров высокоскоростных интерфейсов и необходимостью выполнять калибровку фазовых соотношений без остановки функционирования тракта. В исходной архитектуре изменение задержки связано с процедурой обновления управляемой линии задержки и должно сопровождаться приостановкой работы соответствующего участка тактового пути.

Предлагаемая архитектурная модификация переводит узел фазовой подстройки тактового сигнала к схеме с теньвым контуром перестройки, в которой новая величина задержки подготавливается в неактивной ветви, а переключение на обновлённую конфигурацию выполняется через глитч-безопасную логику управления тактированием. Такое решение позволяет исключить остановку тактового сигнала, уменьшить риск нарушения синхронизации и обеспечить бесшовную перестройку фазы в процессе функционирования блока.

Ключевые слова: DDR PHY, DLL, цифровая линия задержки, фазовая подстройка, тактовый сигнал, динамическая перестройка, глитч-безопасный мультиплексор

1. Введение

Высокоскоростные периферийные интерфейсы СБИС микропроцессора в значительной степени определяют производительность аппаратно-программных платформ на их основе. Высокоскоростные интерфейсы DDR предъявляют жесткие требования к временным параметрам тактовых сигналов, поскольку точность фазового позиционирования напрямую определяет допустимое окно выборки данных и устойчивости передачи данных [1, 2]. Для корректного стробирования данных на

приемной стороне необходимо обеспечить точный фазовый сдвиг между тактовым сигналом и данными; обычно это сдвиг на 90 градусов. Как отмечается в работе [1], цифровая петля задержки позволяет синхронизировать внутренний тактовый сигнал с внешним опорным с точностью, необходимой для надёжного стробирования данных при высоких скоростях передачи. Эту функцию выполняет блок фазовой подстройки (phase shifter), построенный на основе цифровой DLL и управляемой линии задержки (DCDL), структурная схема исходной архитектуры которого показана на рисунке 1.

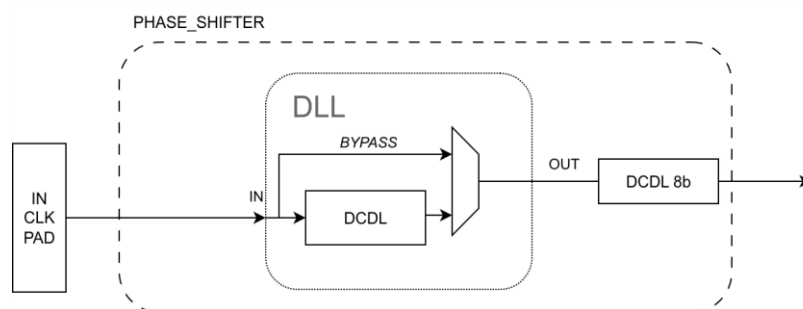


Рис. 1. Исходная архитектура блока фазовой подстройки

При изменении кода задержки DCDL внутри блока фазовой подстройки возникают переходные процессы, вызывающие появление паразитных импульсов в выходном тактовом сигнале. При использовании исходной реализации для защиты синхронных схем применяется принудительная остановка всего тракта данных на время перестройки. Подобные методы безопасного переключения тактовых сигналов широко применяются в архитектурах glitch-free clock multiplexing, где изменение источника тактирования выполняется только внутри заранее определённого безопасного окна [3, 4]. Такой подход приемлем для старых стандартов DDR, но несовместим с современными высокоскоростными интерфейсами, требующими непрерывной передачи данных. Таким образом, актуальной является задача модификации архитектуры блока фазовой подстройки, позволяющей изменять фазовую задержку без остановки тактового сигнала и без внесения искажений. При этом необходимо использовать стандартные библиотечные DCDL.

В рамках данной работы предложена архитектура блока фазовой подстройки с теневой ветвью DCDL, в которой подготовка новой задержки осуществляется параллельно работе активной ветви, а также в разработке конечного автомата, управляющего последовательностью заморозки, настройки и переключения, гарантирующего переключение только в момент низкого уровня обоих тактовых сигналов. Представлены результаты моделирования с учётом реальных задержек, подтверждающие глитч-безопасность и дающие количественные оценки ключевых параметров.

2. Анализ известных решений

Проблема глитчей при переключении тактовых сигналов хорошо известна. В идеальном случае её можно было бы избежать, используя специализированные глитч-безопасные линии задержки, архитектура которых исключает появление паразитных импульсов при изменении управляющего кода. Однако в доступной библиотеке сложно функциональных блоков такие компоненты отсутствуют, что и послужило исходной мотивацией для поиска альтернативных решений, так как разработка такой DCDL потребовала значительных временных, материальных и человеческих затрат, поэтому было принято решение достичь требуемой функциональности за счёт архитектурных методов на имеющихся блоках.

Поведение DCDL при изменении

управляющего кода подробно анализируется в работах по цифровым DLL и высокоточным delay-структурам, где отмечается влияние технологических вариаций, джиттера и искажения скважности на фазовую точность и устойчивость захвата [5, 6]. Эти эффекты особенно критичны для интерфейсов DDR-класса.

В литературе описаны различные архитектуры глитч-безопасных мультиплексоров, основанные на переключении в «безопасном окне», когда оба тактовых сигнала находятся в низком уровне [2, 3]. В частности, авторы работы [4] указывают, что для предотвращения паразитных импульсов переключение тактового сигнала должно выполняться исключительно в промежутках, когда оба сигнала одновременно находятся на низком логическом уровне, а длительность этого окна должна быть достаточной с учётом задержек логических элементов. Аналогичные принципы применяются и в программируемых генераторах тактовых сигналов, где требуется дискретное изменение параметров clocking fabric без нарушения работы синхронной логики [7]. Однако эти работы ориентированы на переключение между независимыми источниками тактовой частоты, а не на динамическую перенастройку задержки внутри одного источника. Задача, стоящая перед нами, иная: требуется не просто сменить источник, а изменить фазу существующего тактового сигнала, причём сделать это без остановки его работы.

В области цифровых DLL для DDR-приложений основные исследования направлены на уменьшение времени захвата, снижение энергопотребления и повышение устойчивости к вариациям техпроцесса и фазовому джиттеру [5, 6, 8]. Вопрос же фоновой перестройки фазы активного тактового сигнала, когда одна линия задержки продолжает работать, а вторая параллельно настраивается на новое значение, после чего выполняется глитч-безопасное переключение, в литературе не рассматривался. Поэтому новизна предлагаемого подхода заключается не в самом принципе глитч-безопасного переключения, а в его архитектурной адаптации для создания бесшовного механизма перестройки задержки в составе блока фазовой подстройки DDR PHY при ограничении на использование только стандартных библиотечных DCDL.

3. Предлагаемое решение

Решение проблемы возникновения глитчей без остановки передачи по шине было

достигнуто архитектурным усовершенствованием архитектуры, основан на введении второй цифровой линии задержки. Структурная схема модифицированного блока показана на рисунке 2. В состав блока входят две идентичные цифровые линии задержки, активная и тневая, которые переключаются в разных временных промежутках. Использование двух параллельных линий задержки ранее рассматривалось в архитектурах DLL для расширения диапазона корректной работы и уменьшения рассогласования параметров отдельных ветвей [9]. В

предлагаемой работе аналогичная структурная избыточность применяется для обеспечения фоновой перестройки фазового положения без остановки активного тактового сигнала. Тактовые вентили обеспечивают отключение тактового сигнала от неактивной ветви без искажения его формы. Детектор на основе логического элемента И фиксирует момент совпадения низких уровней сигналов с выходов обеих DCDL. Управление всей последовательностью операций осуществляет конечный автомат, который реализует алгоритм перестройки.

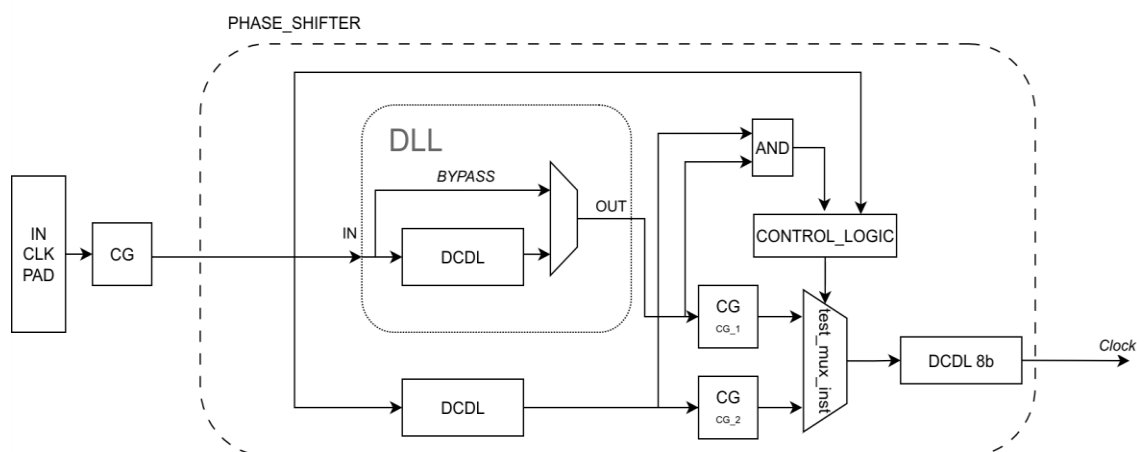


Рис. 2. Структурная схема модифицированного блока фазовой подстройки с теньвым контуром

Алгоритм работы конечного автомата включает несколько этапов. В начальном состоянии активна одна из линий задержки (например, первая DCDL), а вторая отключена с помощью тактового вентиля. При поступлении сигнала update автомат блокирует тактовый вентиль тневой ветви, переводя её в «замороженное» состояние. После паузы длительностью два такта, необходимой для завершения переходных процессов в вентиле, в тневую DCDL загружается новый код задержки. Затем следует ещё одна двухтактная пауза для стабилизации линии, после чего тактовый вентиль тневой ветви разблокируется, и на её выходе появляется тактовый сигнал с новой задержкой. Далее автомат ожидает момента, когда оба тактовых сигнала одновременно находятся в низком уровне; этот момент детектируется схемой [3, 4]. Как только условие выполняется, происходит переключение мультиплексора на выход тневой ветви, и она становится активной. Ранее активная ветвь при этом

переходит в тневое состояние и может быть настроена для следующего цикла. Блок-схема описанного алгоритма представлена на рисунке 3.

Главное достоинство предложенной схемы заключается в том, что активная ветвь продолжает формировать тактовый сигнал на всём протяжении цикла перенастройки, а переключение происходит в безопасный момент, исключающий появление глитчей.

4. Результаты моделирования

Для верификации предложенной архитектуры была разработана RTL-модель на SystemVerilog, выполнен логический синтез и разводка на библиотеку 28 нм и проведено моделирование с аннотированными SDF-задержками. Целью моделирования являлось сравнение поведения исходной одноветвевой и предлагаемой двухветвевой схем при изменении кода задержки.

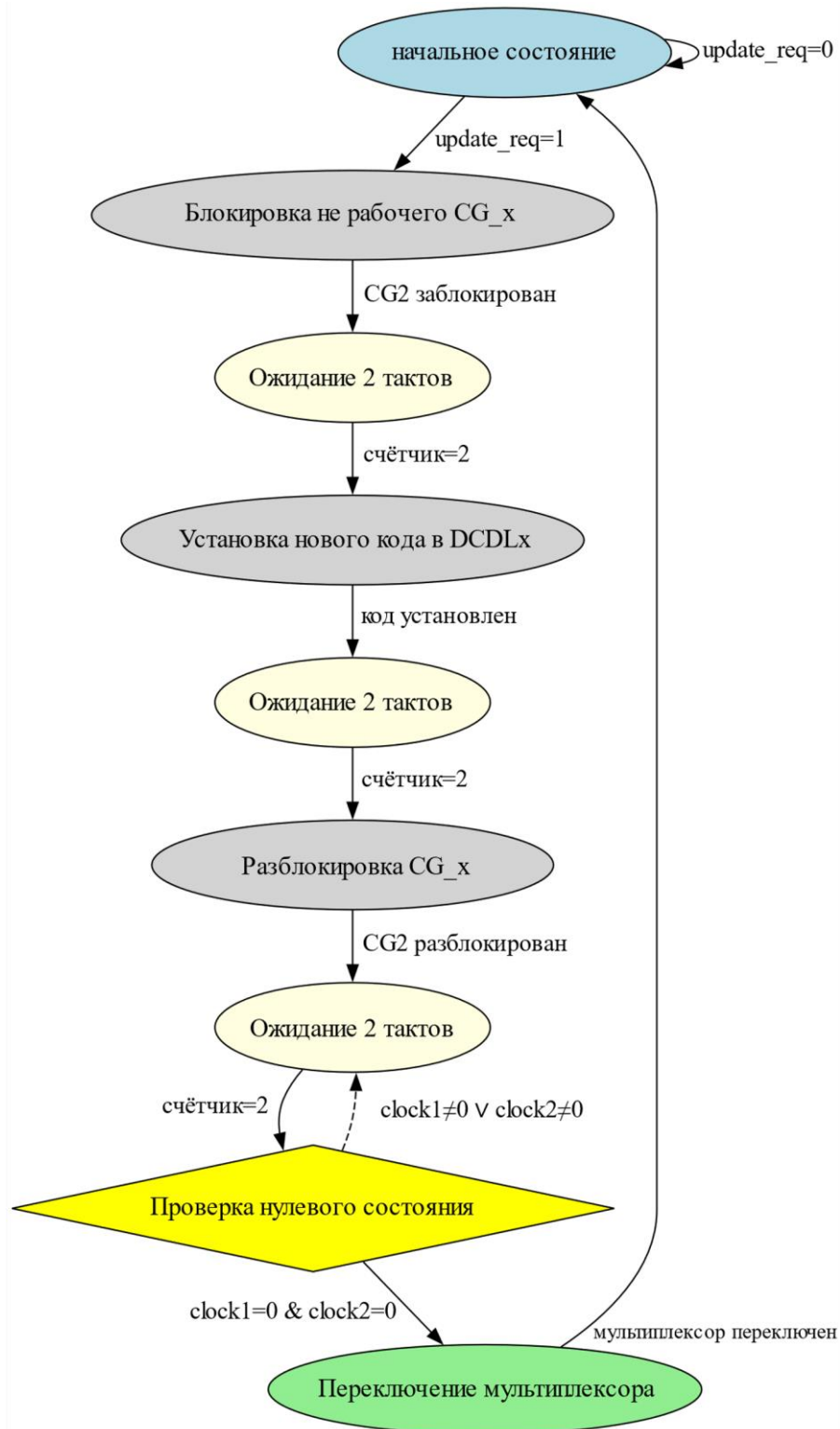


Рис. 3. Блок-схема алгоритма перестройки

На рисунке 4 приведена временная диаграмма, полученная при моделировании исходной схемы с одной DCDL. В момент изменения ведомого кода (slave_code) на ведущий

(master_code) на выходе линии (clk_out) наблюдается искажение – глитч в виде ложного импульса, который мог бы вызвать сбой в синхронной логике.

На рисунке 5 показано поведение двухветвевой архитектуры. Сигналы I1, I2 соответствуют тактовым сигналам после активной и теневой DCDL на вход выходного мультиплексора, clk_out – выходному сигналу после мультиплексора. Из диаграммы следует, что в момент переключения, в данном случае переход сигнала TM в активное состояние, оба тактовых сигнала находятся в низком уровне, и выходной

сигнал сохраняет правильную форму без дополнительных импульсов. Глитчи и пропуски фронтов не наблюдались на протяжении 1000 случайных циклов перестройки при тактовой частоте 1 ГГц.

Количественные характеристики, полученные в результате моделирования, сведены в таблицу 1.

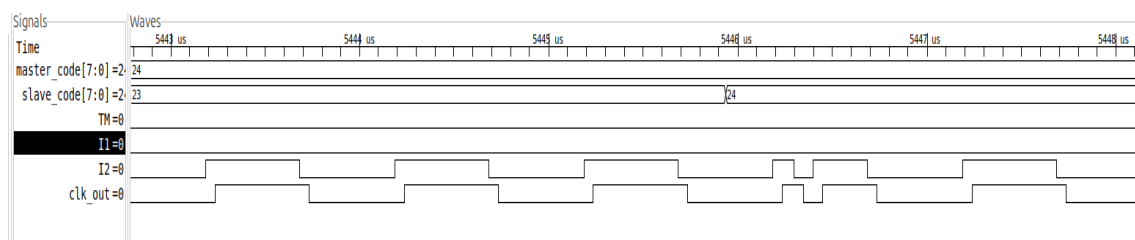


Рис. 4. Временная диаграмма исходной схемы: появление глитча при обновлении кода

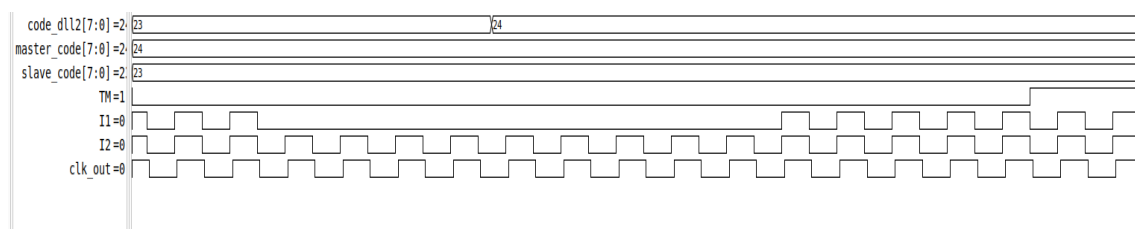


Рис. 5. Временная диаграмма предложенной схемы: переключение в безопасном окне, глитчи отсутствуют

Таблица 1. Характеристики модифицированного блока фазовой подстройки с теньвым контуром

Метрика	Значение	Примечание
Латентность перестройки	8 тактов	Время от update до завершения переключения
Нарушение тактового сигнала	Отсутствует	Ни одного глитча или пропущенного фронта не зафиксировано
Фазовая ошибка после переключения	< 5 пс	Обусловлена несовпадением характеристик двух линий задержки
Добавочная динамическая мощность	+15%	Относительно базовой схемы на частоте 1 ГГц
Дополнительная площадь	+110%	В основном за счёт второй DCDL и логики
Минимальное безопасное окно переключения	≥ 150 пс	Должно выдерживаться при всех PVT

Латентность перестройки, измеренная от момента прихода сигнала update до завершения переключения, составила 8 тактов плюс величина от 0,8 до 2,1 нс в зависимости от фазы

прихода update относительно тактовых сигналов. Остаточная фазовая ошибка после переключения, обусловленная статическим рассогласованием двух физически разных

DCDL, не превышает 5 пс (по уровню 3σ). Дополнительная динамическая мощность возросла на 15% относительно базовой схемы, а площадь – примерно на 110% за счёт второй DCDL и управляющей логики. Минимальное безопасное окно для переключения, при котором гарантируется отсутствие глитчей, составило не менее 150 пс; это значение выдерживается при типовых условиях и должно контролироваться при всех PVT-вариациях.

Предложенная архитектура, однако, имеет ряд ограничений. Удвоение числа DCDL ведёт к росту площади и статического энергопотребления, что для многих приложений может быть приемлемой платой за непрерывность работы. Остаточная фазовая ошибка, определяемая несовпадением характеристик линий, при необходимости может быть скомпенсирована дополнительной калибровкой.

Подобные статические фазовые отклонения характерны для дискретных delay-структур и подробно обсуждаются в работах по высокоточным CMOS delay-линиям [6]. Гарантия отсутствия глитчей критически зависит от детектирования момента одновременного низкого уровня обоих сигналов; минимальная длительность этого окна должна обеспечиваться при всех углах процесса и напряжениях питания, что требует дополнительного анализа методом Монте-Карло. Латентность перестройки, достигающая 10–12 тактов, допустима для задач фоновой калибровки, компенсирующих медленные

дрейфы параметров, но может быть неприемлема для систем, требующих мгновенной смены фазы.

5. Заключение

Разработана и верифицирована архитектура блока фазовой подстройки тактового сигнала для DDR PHY, обеспечивающая динамическую перестройку задержки без остановки тактирования и без генерации глитчей. Использование двух DCDL с переключением в момент низкого уровня обоих сигналов позволяет полностью исключить простои шины данных, что критически важно для современных высокоскоростных интерфейсов. Моделирование post-route netlist с SDF-задержками подтвердило отсутствие паразитных импульсов при переключении и позволило получить количественные оценки латентности, остаточной фазовой ошибки и дополнительных аппаратных затрат. Предложенное решение создаёт основу для реализации алгоритмов фоновой калибровки в перспективных разработках DDR PHY. Дальнейшие исследования будут направлены на пост-топологическое моделирование с учётом паразитных ёмкостей и корреляционный анализ Монте-Карло для оценки устойчивости к технологическим разбросам.

Работа выполнена в рамках государственного задания НИЦ “Курчатовский институт” – НИИСИ по теме FNEF-2024-0003.

Glitch-free dynamic phase retuning unit in high-speed DDR PHY clocking circuits

T. R. Denschikov, K. A. Petrov

Abstract. This paper discusses a modification of the Clock Phase Adjustment unit within the digital interface block of a DDR PHY, designed for generating and adjusting clock signals in the transmit and receive paths. The relevance of this task is driven by the increasing demands on the timing stability of high-speed interfaces and the necessity to calibrate phase relationships without interrupting path operation. In the original architecture, changing a delay involves a procedure for updating the controlled delay line and must be accompanied by a pause in the operation of the corresponding section of the clock path. The proposed modification transitions the Clock Phase Adjustment Block unit to a circuit with a shadow adjustment path, where the new delay value is prepared in an inactive branch, and switching to the updated configuration is performed via glitch-safe clock control logic. This solution eliminates the need to stop the operational clock signal, reduces the risk of synchronization disruption, and enables seamless phase retuning during system operation.

Keywords: DDR PHY, DLL, DCDL, digital delay line, phase adjustment, clock signal, dynamic retuning

Литература

1. Okajima K. et al. Digital delay-locked loop and design technique for high-speed synchronous interface // *IEEE Journal of Solid-State Circuits*. — 1996. — Vol. 31, No. 8. — P. 1130–1138.
2. Matano K. et al. A 1-Gb/s/pin 512-Mb DDRII SDRAM using a digital DLL and slew-rate-controlled output buffer // *IEEE Symposium on VLSI Circuits*, 2002.
3. Lee, Y. and Park, I.-C. (2014), Single-step glitch-free NAND-based digitally controlled delay lines using dual loops. *Electron. Lett.*, 50: 930-932. <https://doi.org/10.1049/el.2014.0331>
4. Zeidler M., Kohnert M., Rosenstiel W. A glitch-free clock multiplexer for non-continuously running clocks // 2020 23rd Euromicro Conference on Digital System Design (DSD). Kranj, Slovenia, 2020. — P. 11–16.C.
5. Kim et al., "A fast-locking harmonic-free digital DLL for DDR3 and DDR4 SDRAMs," *IEICE Electronics Express*, vol. 14, no. 2, pp. 1-6, 2017. doi: 10.1587/elex.14.20161020.
6. Chen C.-H. et al. A fast-locking all-digital delay-locked loop for DDR controller interface // *Journal of Semiconductors*. — 2011. — Vol. 32, No. 10. — P. 105010-1–105010-6.
7. Meijer G. et al. Glitch-free discretely programmable clock generation on chip // *ISCAS*, 2005
8. Y. Song and Z. Zhang, "A 1.2 Gb/s/pin double-data-rate SDRAM with on-chip duty-cycle corrector," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 4, pp. 824-831, April 2006, doi: 10.1109/JSSC.2006.870765.
9. Qin, B.; Zhao, L.; Fang, C.; Pochmueller, P. A Design of a Dual Delay Line DLL with Wide Input Duty Cycle Range. *Electronics* 2023, 12, 2696. <https://doi.org/10.3390/electronics12122696>

Поступила в редакцию / Received: 24.03.2026.

Поступила после рецензирования / Revised: 09.04.2026.

Принята к печати / Accepted: 13.04.2026.