

УДК 004.312

Блок приема данных от внешнего АЦП с поддержкой ПДП по интерфейсу SPI

Е. А. Соловьева¹, А. В. Корниленко²

¹НИЦ «Курчатовский институт» - НИИСИ, Москва, Россия, esoloveva@cs.niisi.ras.ru

²НИЦ «Курчатовский институт» - НИИСИ, Москва, Россия, akorn@cs.niisi.ras.ru

Аннотация. Разработан сложнофункциональный блок (СФ-блок), обеспечивающий прием потоковых данных от внешнего аналогово-цифрового преобразователя (АЦП) по последовательному периферийному интерфейсу (SPI). Особенностью данного блока является то, что АЦП выступает в роли ведущего, генерируя тактовый сигнал и управляя обменом по шине SPI. Взаимодействие с АЦП такого типа требует реализации контроллера SPI в режиме ведомого. Предлагаемый СФ-блок состоит из ведомого контроллера SPI, блока конфигурационных регистров и модуля прямого доступа к памяти (ПДП). Использование ПДП позволяет минимизировать участие центрального процессора: последовательность данных, принятых от АЦП, накапливается во внутреннем буфере, после чего происходит пакетная передача по заданному адресу в системную память без программного вмешательства. Блок поддерживает работу с АЦП разрядностью 10, 12, 14 и 16 бит. В блоке реализованы однократный, кольцевой режимы ПДП и система прерываний по событиям заполнения буфера.

Ключевые слова: АЦП, SPI, ПДП, FIFO, SAR-преобразователи, SoC, AXI

1. Введение

При разработке систем на кристалле (SoC) возникает выбор, выполнять проектирование собственного АЦП или использовать внешний преобразователь. Использование внешнего АЦП позволяет избежать рисков применения непроверенного заказного блока и упростить топологию кристалла, но это решение требует периферийного блока приема данных в составе SoC.

Среди источников измерительных данных важное место занимают АЦП с последовательным интерфейсом. Они компактны и легко интегрируются в вычислительную систему. Для минимизации участия процессора в передаче данных целесообразно использовать АЦП в режиме ведущего. Такой АЦП самостоятельно формирует внутренний тактовый сигнал SCLK и выдает результат преобразования последовательным потоком битов. Подобное поведение характерно, например, для SAR-преобразователей типа ADS8513 [1]. В такой схеме принимающая сторона должна работать в режиме ведомого – принимать данные по внешнему тактовому сигналу, не иницируя обмен самостоятельно.

Чаще всего контролер SPI, реализованный в составе системного контроллера микропроцессора или микроконтроллера, выступает в роли задающего по шине SPI,

генерируя тактовый сигнал, однако для данной задачи такой контроллер неприменим.

Таким образом, актуальной является задача разработки компактного периферийного СФ-блока, объединяющего ведомый SPI контроллер, блок конфигурационных регистров и передачу результатов в память по каналу ПДП без остановки потока данных и без участия процессора в пересылке отдельных отсчетов.

В настоящей статье описаны архитектура блока, программная модель управляющих регистров, механизм упаковки данных и система прерываний. Работоспособность подтверждена функциональным моделированием при различных значениях разрядности входных данных.

2. Анализ известных решений

Современные системы сбора данных строятся на базе FPGA и систем на кристалле (SoC), совмещающих аппаратную обработку с программным управлением. Среди реализованных подходов можно выделить несколько характерных направлений.

Первое направление – комплексные SoC-платформы, в которых аппаратный прием данных совмещен с первичной обработкой непосредственно на кристалле. Такие решения применяются, в частности, в физических экспериментах. Так, для пиксельных детекторов предложена компактная система сбора данных на базе SoC FPGA со встроенным

микропроцессором и клиент-серверным приложением для удаленного управления и визуализации [2]. Авторы характеризуют ее как систему, которая «способна одновременно обслуживать несколько пиксельных детекторов». Близкое решение для позиционно-чувствительных кремниевых детекторов, по описанию авторов, «обеспечивает оцифровку сигналов детектора, хранение и передачу пакетированных данных на компьютер, обработку и визуализацию декодированной информации» [3]. Данные решения эффективны для конкретных установок, однако не рассчитаны на применение в виде самостоятельных сложнофункциональных блоков, которые можно интегрировать в проектируемые системы на кристалле.

Второе направление – высокопроизводительные многоканальные реализации на FPGA, где на первый план выходят пропускная способность и минимизация задержек. Так, в [4] отмечается, что сбор данных и их обработка, в существующих системах, выполняются на разных устройствах. Такой подход требует дополнительного времени на передачу, и в качестве решения авторы предлагают одночиповую структуру, в которой все процессы выполняются на одном кристалле [4]. По масштабу и сложности это существенно отличается от задачи одноканального СФ-блока.

Третье направление – гибкие системы с развитой логикой запуска и буферизации. Для регистрации быстрых переходных процессов созданы SoC-решения с возможностью быстрого повторного запуска и устойчивой работой при высокой интенсивности потока данных [5]. К этому же направлению относятся открытые FPGA-платформы сбора данных с SPI контроллерами и буферизацией в оперативной памяти, ориентированные на организацию

обратной связи в реальном времени [6].

Отдельную категорию составляют работы, посвященные унифицированным подсистемам передачи данных в память. ПДП-контроллер на шине AXI (Advanced eXtensible Interface – высокопроизводительный расширяемый интерфейс) позволяет существенно снизить нагрузку на процессор при непрерывном потоке и одинаково применим как в составе SoC, так и в системах с шиной PCIe [7]. Однако эти контроллеры являются самостоятельными блоками передачи и не включают в себя приемную периферию.

Таким образом, большинство рассмотренных решений ориентировано на крупные многоканальные платформы или законченные системы под конкретную задачу. Конфигурируемый блок, предназначенный для приема данных по SPI в режиме ведомого с последующей автономной записью в память, в опубликованных работах практически не встречается. Поэтому новизна предлагаемого подхода заключается не в самих принципах ведомого приема или ПДП-передачи, а в их архитектурной интеграции в единый компактный СФ-блок с конфигурируемой разрядностью принимаемых данных, их упаковкой и последующей записью в память с возможностью использования кольцевого буфера.

3. Предлагаемое решение

Решение задачи приема данных от АЦП, работающего в режиме задающего, без участия процессора было достигнуто архитектурным построением, основанным на разделении функций приема последовательного интерфейса и передачи данных по внутренней шине AXI.

Структурная схема разработанного IP-блока показана на рисунке 1.

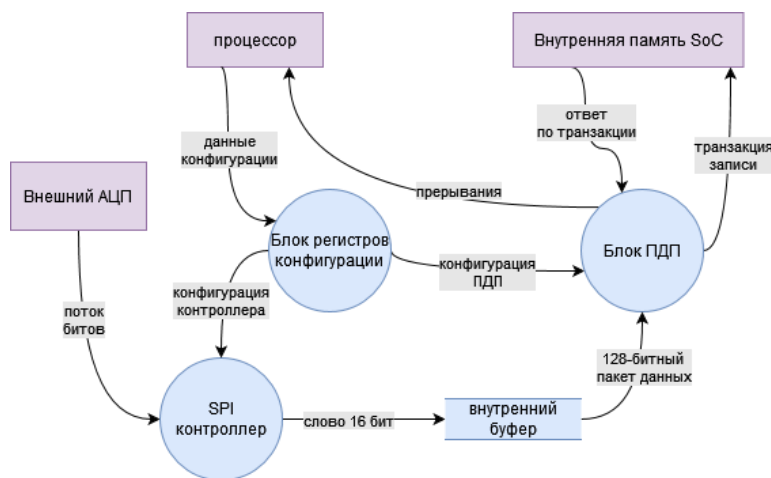


Рис. 1. Структурная схема СФ-блока

В состав блока входят: модуль ведомого SPI, конфигурационные регистры и модуль ПДП. Взаимодействие с системной памятью и регистрами управления осуществляется также через шину AXI. Настройка блока выполняется через набор конфигурационных регистров, с помощью которых можно задать параметры, такие как разрядность преобразователя, адрес буфера в памяти, размер передачи и параметры канала ПДП, в том числе маски прерываний и режим работы.

Логика движения данных организована следующим образом. На вход АЦП со стороны SoC подается сигнал запуска преобразования. В качестве такого сигнала может использоваться выход таймера, формирующий меандр заданной частоты. После запуска внешний аналого-цифровой преобразователь формирует тактовый сигнал SCLK и последовательный поток данных. Модуль контроллера захватывает передаваемые биты по фронту внешнего тактового сигнала, формирует из них слово разрядностью 16 бит. В случае если заданная разрядность АЦП меньше, контроллер добавляет ведущие нули в старших разрядах.

Из-за относительно небольшой разрядности преобразователей, данные одного считывания имеют ширину меньшую, чем ширина системной шины передачи, поэтому несколько последовательных отсчетов объединяют в более

широкое слово: восемь отсчетов упаковываются в 128-битный пакет. При такой организации уменьшается частота обращений к памяти, также это позволяет согласовать последовательный интерфейс преобразователя с широкой внутрисистемной шиной. После каждой последовательной передачи адрес буфера памяти инкрементируется на 16 байт.

Алгоритм работы блока реализован в виде конечного автомата, реализующего последовательность управления. После сброса, в начальном состоянии (IDLE) блок ожидает сигнал разрешения работы ПДП, который задается программно через конфигурационный регистр. После получения разрешения, блок переходит в состояние накопления отсчетов (ACCUMULATE), последовательно заполняя внутренний буфер. Накопив пакет данных шириной 128 бит, автомат инициирует запись в память (DMA_REQ) с помощью ПДП, ожидает ее завершения (DMA_WAIT) и после этого возвращается в начальное состояние. Если сигнал разрешения работы ПДП по-прежнему активен, в следующем такте блок сразу начинает накопление нового пакета. Блок-схема описанного алгоритма представлена на рисунке 2. Разрешение проверяется в начале каждого цикла, что позволяет корректно останавливать работу блока между пакетами, не теряя данные посередине передачи.

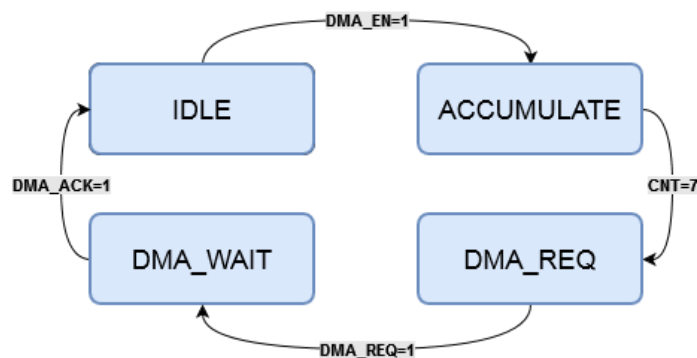


Рис. 2. Алгоритм работы блока

Блок ПДП поддерживает два режима работы, которые различаются поведением после завершения передачи: одиночный и кольцевой. В однократном режиме после завершения заданной передачи блок прекращает работу автоматически. В кольцевом режиме, после заполнения буфера памяти, следующая запись происходит по нулевому смещению, что может приводить к перезаписыванию старых данных. Чтобы избежать потери данных, предусмотрена генерация прерываний в двух случаях: по событию половинного и полного заполнения буфера, что позволяет программному обеспечению приступить к обработке данных

параллельно с их поступлением, а также не допустить перезаписывания данных до их использования.

Благодаря тому, что весь канал от приема последовательных данных до их записи в системную память работает самостоятельно, участие процессора минимально и сводится к начальному конфигурированию регистров и, при необходимости, обработке прерываний. Таким образом сбор данных обеспечивается без программного копирования данных.

Для проверки предложенной архитектуры была создана поведенческая модель АЦП на базе микросхемы ADS8513 [71]. Она

способна формировать последовательный поток данных, внутренний тактовый сигнал, а также изменять разрядность выходного слова от 10 до 16 бит с шагом 2 бита.

В ходе моделирования контролировались точность приема слова относительно эталона от модели АЦП, корректность упаковки

128-битного пакета из последовательных отсчетов, сохранность данных при записи в память, а также корректная работа канала ПДП в одиночном и кольцевом режиме. Процесс записи в память одного пакета данных показан на рисунке 3.

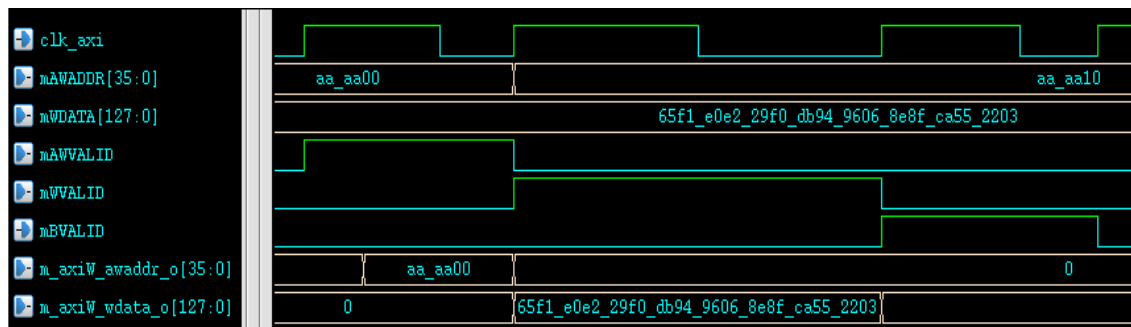


Рис. 3. Запись 128-битного пакета в память

5. Заключение

Разработан специализированный СФ-блок для приема данных от внешнего АЦП по интерфейсу SPI в режиме ведомого с автономной передачей в системную память по каналу ПДП.

Результаты моделирования подтвердили корректное функционирование блока, характеризующееся отсутствием потерь данных, записью по заданным адресам, циклическим возвратом адресации к началу буфера в кольцевом режиме ПДП и формированием прерываний в ожидаемые моменты. Наследующем этапе запланирована реализация прототипа в ПЛИС и проверка работоспособности на реальном АЦП.

В перспективных микроконтроллерах предложенное решение может послужить основой для реализации процесса получения данных от внешних микросхем, работающих в режиме SPI-ведущего. Дальнейшие исследования будут направлены на поддержку различных режимов тактирования SPI, организацию многоканального ввода и верификацию блока после топологического синтеза с аннотированными задержками, а также макетированию в ПЛИС.

Работа выполнена в рамках государственного задания НИЦ «Курчатовский институт» – НИИСИ по теме FNEF-2024-0003.

Data Acquisition Module for an External SPI ADC with DMA Support

E. A. Soloveva, A. V. Kornilenko

Abstract. An IP block has been developed that provides the reception of streaming data from an external analog-to-digital converter (ADC) over the SPI interface. A distinctive feature of this block is that the ADC acts as the master, generating the clock signal and controlling data exchange on the SPI bus. Interfacing with an ADC of this type requires implementing the SPI controller in slave mode. The proposed IP block consists of an SPI slave controller, a configuration register block, and a direct memory access (DMA) module. The use of DMA minimizes the involvement of the central processor: the sequence of data received from the ADC is accumulated in an internal buffer, after which it is transferred as a burst to a specified address in system memory without software intervention. The block supports operation with ADCs of 10, 12, 14, and 16 bits in resolution; single and circular DMA modes are also implemented, along with an interrupt system triggered by buffer-fill events.

Keywords: ADC, SPI, DMA, FIFO, SAR converters, SoC, AXI

Литература

1. Texas Instruments. ADS8513 16-bit, 40-kSPS Serial Output Analog-to-Digital Converter. Datasheet, SBAS112.
2. Jiménez Sánchez, J. Advanced System on Chip Field Programmable Gate Array Powered Data Acquisition System for Pixel Detectors / J. Jiménez Sánchez, P. Blanco Carmona, J. Hinojo [и др.] // *Sensors*. — 2023. — Vol. 24. — Art. 218. — DOI 10.3390/s24010218.
3. Topko, Yu. SoC FPGA Based Data Acquisition System for Position Sensitive Silicon Detectors / Yu. Topko, B. Topko, S. Khabarov, N. Zamyatin // *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*. — 2022. — Т. 1033. — Ст. 166680. — DOI 10.1016/j.nima.2022.166680.
4. Choi, S. FPGA-Based Multi-Channel Real-Time Data Acquisition System / S. Choi, H. Yang, Y. Noh, G. Kim, E. Kwon, H. Yoo // *Electronics*. — 2024. — Vol. 13. — Art. 2950. — DOI 10.3390/electronics13152950.
5. Manduchi, G. A Versatile Board for Event Driven Data Acquisition / G. Manduchi, A. Rigoni Garola, L. Trevisan, T. Patton // *Sensors*. — 2024. — Т. 24. — Ст. 1631. — DOI 10.3390/s24051631.
6. Van Muoi, N. A Reproducible FPGA–ADC Synchronization Architecture for High Speed Data Acquisition / N. Van Muoi, N. Dong // *Data*. — 2026. — Т. 11. — Ст. 23. — DOI 10.3390/data11010023.
7. Zabolotny, W. Versatile DMA Engine for High Energy Physics Data Acquisition Implemented with High Level Synthesis / W. Zabolotny // *Electronics*. — 2023. — Т. 12. — Ст. 883. — DOI 10.3390/electronics12040883.

Поступила в редакцию / Received: 17.06.2026.

Поступила после рецензирования / Revised: 30.06.2026.

Принята к печати / Accepted: 30.06.2026.