

УДК 004.32:004.312

Параметризация блока подключения приемопередатчиков контроллера PCI Express для оптимизации использования ресурсов ПЛИС и автоматизации верификации

Е.С. Зайцева¹, А.Д. Лыспак²¹НИЦ «Курчатовский институт» — НИИСИ, Москва, zaytseva@cs.niisi.ras.ru;²НИЦ «Курчатовский институт» — НИИСИ, Москва, alex_l@cs.niisi.ras.ru

Аннотация. В статье рассматривается задача подключения контроллера PCI Express разработки НИИСИ РАН к высокоскоростным приемопередатчикам FPGA семейства Xilinx UltraScale+. Исходная реализация контроллера использовала фиксированную конфигурацию приемопередатчиков на 16 линий независимо от фактической ширины канала PCI Express. Такой подход приводил к избыточному использованию аппаратных ресурсов ПЛИС при реализации конфигураций с меньшим числом линий. Предложен масштабируемый интерфейсный блок, обеспечивающий автоматический выбор конфигурации приемопередатчиков в зависимости от требуемой ширины канала PCI Express. Разработанное решение поддерживает режимы Endpoint и Root Complex, скорости Gen1–Gen3 и ширины канала x1, x2, x4, x8, x16. Для проверки работоспособности разработан параметризуемый скрипт запуска тестов, позволяющий выполнять моделирование любой из поддерживаемых конфигураций одной командой без ручного изменения структуры проекта. Экспериментальная оценка выполнена на плате Xilinx Virtex UltraScale+ VCU128. Полученные результаты показывают снижение аппаратных затрат при использовании конфигураций с меньшим числом линий и подтверждают эффективность автоматизированного подхода к верификации контроллера.

Ключевые слова: PCI Express, ПЛИС, GTY, SerDes, высокоскоростные интерфейсы, параметризация, автоматизация верификации

1. Введение

Интерфейс PCI Express (PCIe) является основным стандартом высокоскоростного взаимодействия между вычислительными устройствами и периферийными компонентами современных вычислительных систем [1–3]. Одной из ключевых особенностей PCIe является возможность масштабирования пропускной способности путем изменения количества используемых линий передачи данных (lane), что позволяет адаптировать интерфейс под конкретные требования.

Современные контроллеры PCIe реализуются как на специализированных микросхемах (ASIC), так и на программируемых логических интегральных схемах (ПЛИС), обеспечивающих гибкость проектирования и ускорение процесса разработки [4–6]. При этом физический уровень PCIe обычно реализуется с использованием встроенных высокоскоростных приемопередатчиков SerDes.

В известных FPGA-реализациях контроллеров PCIe основное внимание уделяется достижению максимальной пропускной способности интерфейса [3, 7, 8]. Однако при поддержке нескольких конфигураций PCIe возникают дополнительные задачи оптимизации аппаратных затрат и сокращения трудоемкости верификации.

Рост сложности цифровых устройств приводит к необходимости автоматизации процедур тестирования и аппаратной верификации FPGA-проектов [9–11]. Особенно актуальной данная задача становится для контроллеров высокоскоростных интерфейсов, поддерживающих большое количество конфигураций.

Целью работы является разработка масштабируемого интерфейсного блока подключения контроллера PCI Express к приемопередатчикам ПЛИС, обеспечивающего эффективное использование аппаратных ресурсов и автоматизацию процесса верификации.

2. Архитектура контроллера PCI Express и постановка задачи

Объектом исследования в данной работе является не сам контроллер PCI Express, а интерфейсный блок сопряжения, обеспечивающий его подключение к встроенным высокоскоростным приёмопередатчикам SerDes GTY FPGA семейства Xilinx UltraScale+. Именно этот модуль (см. рисунок 1) и его параметризация являются предметом настоящего исследования.

Используемый в работе контроллер PCI Express, разработанный в НИИСИ РАН, реализует функциональность уровней Transaction, Data Link и Physical в соответствии со спецификацией PCIe Gen3 и поддерживает работу в режимах Endpoint (EP) и Root Complex (RC), а также все основные ширины канала: x1, x2, x4, x8 и x16.

Таким образом, контроллер обеспечивает поддержку 30 конфигураций, определяемых комбинацией:

- 2 режимов (EP / RC);
- 3 скоростей (Gen1 / Gen2 / Gen3);
- 5 ширин канала (x1 / x2 / x4 / x8 / x16).

Задача интерфейсного модуля – автоматически выбирать конфигурацию GTY, соответствующую заданной ширине канала, обеспечивая масштабируемость и эффективное использование ресурсов ПЛИС.

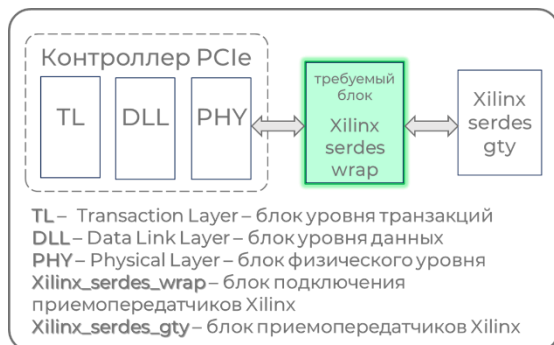


Рис. 1. Структурная схема подключения контроллера PCIe к приемопередатчикам Xilinx SerDes

3. Разработка масштабируемого интерфейсного блока

3.1. Исходная реализация и её недостатки

В первоначальной версии FPGA-проекта подключение контроллера PCI Express к приёмопередатчикам выполнялось через единственный, жёстко заданный экземпляр

IP-ядра GTY, сконфигурированный на максимальную ширину канала x16. Такой подход был выбран на этапе первичной отладки как наиболее универсальный, поскольку он гарантировал работоспособность контроллера во всех режимах, включая x16.

Однако при использовании контроллера в конфигурациях с меньшим числом линий (x1, x2, x4, x8) данный подход приводил к избыточному и неоправданному расходу аппаратных ресурсов ПЛИС: все 16 трансиверов оставались задействованными, независимо от реальной ширины канала PCIe. При этом значительная часть трансиверов простаивала, но продолжала занимать кристалл, а также приводила к избыточному энергопотреблению, что снижало эффективность использования FPGA в ресурсо-ограниченных проектах.

Таким образом, было сформулировано требование к новому решению: интерфейсный блок должен автоматически выбирать конфигурацию GTY, строго соответствующую требуемой ширине канала, и подключать ровно столько линий, сколько необходимо для работы контроллера в заданном режиме.

3.2. Предлагаемое решение: параметризуемый блок подключения

Суть предлагаемого решения заключается в создании отдельных конфигураций IP-ядер высокоскоростных приёмопередатчиков GTY для каждой поддерживаемой ширины канала (x1, x2, x4, x8, x16) и разработке параметризуемого интерфейсного модуля, который обеспечивает автоматический выбор и подключение именно того экземпляра GTY-ядра, который соответствует заданной ширине канала.

На первом этапе были сформированы специализированные IP-ядра GTY для конфигураций x1, x2, x4 и x8 (помимо уже имеющейся x16). Настройка каждого IP-ядра выполнялась в среде AMD Vivado с учетом требований стандарта PCI Express для режимов Gen1, Gen2 и Gen3.

На втором этапе был разработан адаптивный параметризуемый интерфейсный модуль, который по значению параметра PHY_LANE автоматически выбирает и подключает соответствующее IP-ядро (см. рисунок 2):

PHY_LANE = 1 → GTY x1;

PHY_LANE = 2 → GTY x2;

PHY_LANE = 4 → GTY x4;

PHY_LANE = 8 → GTY x8;

PHY_LANE = 16 → GTY x16.

Таким образом, вместо жёсткой привязки к x16 новое решение обеспечивает соответствие количества используемых приемопередатчиков требуемой конфигурации PCIe: для канала x8

задействуется ровно 8 линий, для x4 — 4 и т.д. Это позволяет отказаться от использования единственной фиксированной конфигурации x16 и обеспечить поддержку различных вариантов реализации контроллера в рамках единого проекта. Вследствие чего предоставляется возможность сократить занимаемые ресурсы, в частности, количество используемых высокоскоростных каналов GT, а также снизить потребляемую мощность.

```

generate
  if(PHY_LANE == 1)
    pcie_x1_gen1_gt pcie_gen1_gt_i
    (
      .port_list(port_list)
    );
  if(PHY_LANE == 2)
    pcie_x2_gen1_gt pcie_gen1_gt_i
    (
      .port_list(port_list)
    );
  if(PHY_LANE == 4)
    pcie_x4_gen1_gt pcie_gen1_gt_i
    (
      .port_list(port_list)
    );
  if(PHY_LANE == 8)
    pcie_x8_gen1_gt pcie_gen1_gt_i
    (
      .port_list(port_list)
    );
  if(PHY_LANE == 16)
    pcie_x16_gen1_gt pcie_gen1_gt_i
    (
      .port_list(port_list)
    );
endgenerate

```

Рис. 2. Подключение IP-ядер в общий проект (на примере реализации со скоростью Gen1)

4. Автоматизация верификации

Для проверки работоспособности всех поддерживаемых конфигураций разработан параметризуемый скрипт запуска тестов, позволяющий задавать режим работы (EP/RC), скорость (Gen1–Gen3) и ширину канала (x1–x16) одной командой, например:

./<скрипт_запуска> EP G1 X4.

Благодаря этому можно запустить конкретную требуемую конфигурацию без необходимости ручной перенастройки проекта, а также без прогона всех 30 вариантов. На основании переданных параметров автоматически выбирается конфигурация GTY, формируются параметры моделирования, запускается тест и собираются результаты. Такой подход исключает ручное изменение проекта для каждой конфигурации, снижает трудоёмкость подготовки тестирования и уменьшает вероятность ошибок конфигурирования.

5. Экспериментальные результаты

Для оценки эффективности предложенного решения была выполнена реализация контроллера PCI Express разработки НИИСИ РАН в ПЛИС для всех поддерживаемых конфигураций интерфейса: x1, x2, x4, x8 и x16. Экспериментальные исследования проводились на отладочной плате Xilinx Virtex UltraScale+ VCU128 с кристаллом XCVU37P-L2FSVH2892E. Для каждой конфигурации были выполнены синтез, размещение и трассировка (implementation) в среде Vivado, по результатам которых определены показатели использования аппаратных ресурсов ПЛИС (LUT, LUTRAM, FF, BRAM, DSP, IO, GT и BUFG), потребляемой мощности и времени реализации проекта.

В статье для сокращения объема для демонстрации предлагаемого подхода приведены результаты только для конфигураций Gen1. Аналогичные исследования выполнены также для конфигураций Gen2 и Gen3 и демонстрируют такой же характер изменения показателей. Результаты количественного сравнения использования аппаратных ресурсов для скорости Gen1 приведены в таблице 1.

Таблица 1. Сравнительная характеристика занимаемых аппаратных ресурсов ПЛИС XCVU37P-L2FSVH2892E для скорости Gen1 между исходной реализацией («было») и разработанной («стало»)

Аппаратные ресурсы ПЛИС	Было	Стало								
		Осталось	Добавленные конфигурации							
	x16	x16	x8		x4		x2		x1	
	Занято, шт.		Занято, шт.	Экономия по сравнению с x16 («было»), %	Занято, шт.	Экономия по сравнению с x16 («было»), %	Занято, шт.	Экономия по сравнению с x16 («было»), %	Занято, шт.	Экономия по сравнению с x16 («было»), %
GT-каналы	16		8	50	4	75	2	88	1	94
LUT	170720		91245	47	82291	52	77315	55	74976	56
LUTRAM	926		599	35	503	46	455	51	431	53
FF	93495		52204	44	45112	52	41170	56	39210	58
BRAM	45		23	49	23	49	23	49	23	49
BUFG	24		15	37	11	54	9	62	8	67

Результаты показывают, что использование специализированных конфигураций приемопередатчиков позволяет значительно снизить аппаратные затраты по сравнению

с исходной реализацией, основанной на фиксированной конфигурации x16. На рисунке 3 представлена сравнительная диаграмма для наглядности этого.

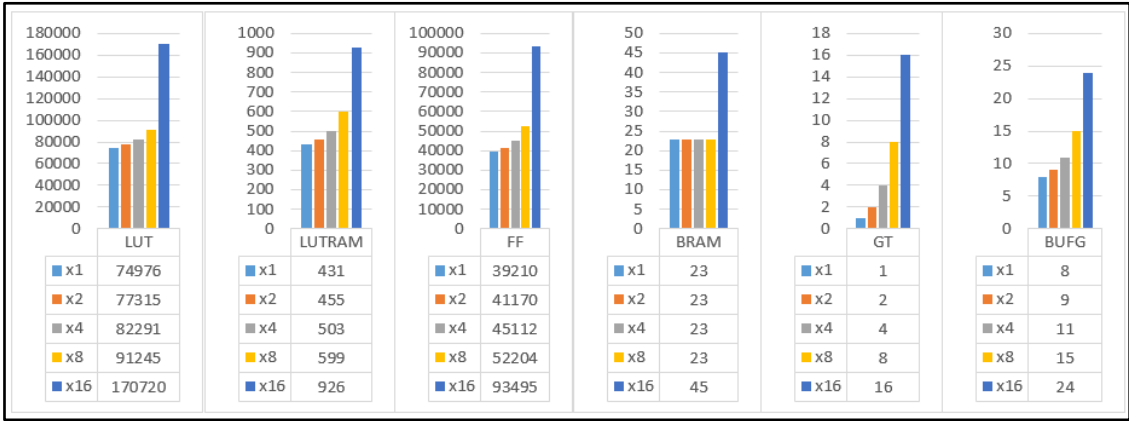


Рис. 3. Сравнительная диаграмма занимаемых ресурсов ПЛИС XCVU37P-L2FSVH2892E для скорости Gen1 для конфигураций x1 – x16: снижение занятости при переходе от исходной фиксированной конфигурации x16 («было») к адаптивным конфигурациям x8, x4, x2 и x1 («стало»)

На рисунке 4 представлено сравнение совокупной мощности (Total On-Chip Power), рассеиваемой на кристалле ПЛИС и её составляющих, для различных конфигураций

шины PCIe (x1, x2, x4, x8, x16) при работе на скорости Gen1. Конкретные значения представлены в таблице 2.

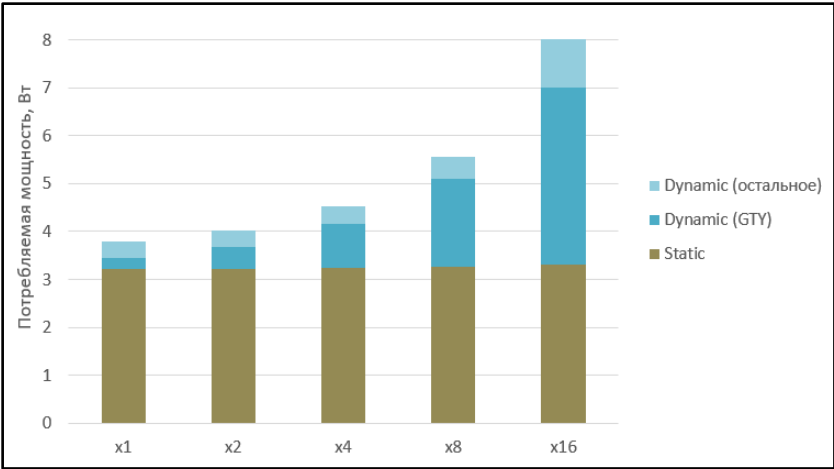


Рис. 4. Сравнительная диаграмма потребляемой мощности ПЛИС XCVU37P-L2FSVH2892E для скорости Gen1 для конфигураций x1 – x16: значительная экономия потребления при переходе от исходной фиксированной конфигурации x16 («было») к адаптивным конфигурациям x8, x4, x2 и x1 («стало»)

Таблица 2. Сравнительная характеристика совокупной потребляемой мощности ПЛИС XCVU37P-L2FSVH2892E и её составляющих для скорости Gen1 между исходной реализацией («было») и разработанной («стало»)

Потребляемая мощность	Было	Стало										
		Осталось	Добавленные конфигурации									
			x16	x16	x8		x4		x2		x1	
					Вт	Экономия по сравнению с x16 («было»), %	Вт	Экономия по сравнению с x16 («было»), %	Вт	Экономия по сравнению с x16 («было»), %	Вт	Экономия по сравнению с x16 («было»), %
Total On-Chip	8,012		5,550	31	4,530	43	4,034	50	3,784	53		
– Static	3,316		3,259	2	3,236	2	3,225	3	3,219	3		
– Dynamic	4,696		2,291	51	1,294	72	0,809	83	0,565	88		
– GTY	3,699		1,849	50	0,925	75	0,462	88	0,231	94		

Как видно из диаграммы, снижение количества используемых высокоскоростных линий закономерно приводит к значительному уменьшению динамической составляющей мощности (Dynamic Power), особенно большой вклад в эту составляющую вносят GT-каналы (GTY), в то время как статическая составляющая (Static Power) остаётся практически неизменной для всех конфигураций, что соответствует физической природе КМОП-структур.

Анализ результатов показывает, что уменьшение числа используемых линий PCI Express приводит к закономерному снижению аппаратных затрат, а вследствие чего и потребляемой мощности (в особенности, из-за сокращения динамической мощности), поскольку количество подключенных приемопередатчиков GTY и обслуживающей их логики теперь также уменьшается. Так на примере сравнения конфигурации x1 с исходной x16 наблюдается следующий выигрыш в занимаемых ресурсах ПЛИС (для скорости Gen1):

- GT — уменьшается в 16 раз (на 94%);
- LUT — уменьшается на 56%;
- LUTRAM — уменьшается на 53%;
- FF — уменьшается на 58%;
- BRAM — уменьшается на 49%;
- BUFG — уменьшается на 67%.

Вследствие чего наблюдается следующий выигрыш в потребляемой мощности (тоже для конфигурации x1 относительно исходной x16 и для скорости Gen1):

- статическая составляющая мощности (Static) — уменьшается незначительно (на 3%);
- динамическая составляющая мощности (Dynamic) — значительно сокращается (на 88%), огромный вклад в её сокращение вносит уменьшение мощности, потребляемой GT (сокращается на 94%); на 66% также уменьшается динамическая мощность, потребляемая остальной логикой (без учета GT-трансиверов) в связи с уменьшением других используемых аппаратных ресурсов;

– и, таким образом, общая мощность (Total On-Chip), состоящая из статической и динамической, — сокращается на 53%.

Кроме того, время синтеза, размещения и трассировки проекта сокращается до 2 раз при использовании конфигураций с меньшим

числом линий (x1–x8) по сравнению с исходной реализацией x16, что особенно важно при частых итерациях проектирования и отладки.

Таким образом, предложенный подход обеспечивает рациональное использование ресурсов ПЛИС в зависимости от требуемой конфигурации контроллера PCI Express, снижение потребляемой мощности, поддержку 30 вариантов аппаратной реализации на основе единой RTL-архитектуры и сокращает время синтеза, размещения и трассировки проекта, а также обеспечивает автоматизацию подготовки и выполнения функциональной верификации.

6. Заключение

В работе разработан параметризуемый интерфейсный модуль подключения контроллера PCI Express к высокоскоростным приемопередатчикам GTY ПЛИС семейства Xilinx UltraScale+. Предложенное решение обеспечивает автоматический выбор конфигурации GTY (x1, x2, x4, x8, x16) в зависимости от требуемой ширины канала, поддерживая режимы Gen1–Gen3, Endpoint и Root Complex на основе единой RTL-реализации.

Экспериментальные результаты, полученные на плате VCU128, подтверждают эффективность подхода: при переходе от фиксированной конфигурации x16 к параметризуемой x1 число задействованных GTY-каналов сокращается в 16 раз, занятость LUT — на 56 %, FF — на 58 %, динамическая мощность — на 88 %, а общая мощность на кристалле — на 53 %. Время синтеза и размещения проекта сокращается до 2 раз.

Разработан также параметризуемый скрипт для автоматизированной верификации всех 30 поддерживаемых конфигураций, позволяющий запускать тесты одной командой без ручной перенастройки проекта, что снижает трудоёмкость тестирования и уменьшает вероятность ошибок конфигурирования.

Таким образом, предложенный подход обеспечивает масштабируемость, эффективное использование ресурсов ПЛИС и автоматизацию верификации, что уменьшает трудоёмкость разработки и сопровождения контроллеров высокоскоростных интерфейсов.

Parametrization of the transceiver connection block of a PCI Express controller for FPGA resource optimization and verification automation

E. S. Zaytseva, A. D. Lyspak

Abstract. This paper addresses the integration of a PCI Express controller developed at NIISI RAS with high-speed transceivers of Xilinx UltraScale+ FPGAs. The initial implementation used a fixed x16 transceiver configuration regardless of the actual PCI Express link width, leading to excessive hardware resource utilization when operating in narrower-lane modes. A scalable interface block is proposed that automatically selects the appropriate transceiver configuration based on the required PCIe link width. The developed solution supports Endpoint and Root Complex modes, Gen1–Gen3 data rates, and x1, x2, x4, x8, x16 lane widths. To verify functionality, a parameterizable testbench script has been developed, allowing simulation of any supported configuration with a single command without manual project restructuring. Experimental evaluation was performed on the Xilinx Virtex UltraScale+ VCU128 board. The obtained results demonstrate hardware savings for narrower-lane configurations and confirm the effectiveness of the proposed automated verification approach.

Keywords: PCI Express, FPGA, GTY, SerDes, high-speed interfaces, parametrization, verification automation

Литература

1. PCI-SIG. PCI Express Base Specification Revision 3.0. PCI Special Interest Group, 2010.
2. Shanley T., Anderson D. PCI Express System Architecture. Addison-Wesley Professional, 2009.
3. MindShare Inc. PCI Express Technology 3.0. MindShare Press, 2012.
4. AMD. UltraScale Architecture GTY Transceivers User Guide UG578. 2024.
5. AMD. Vivado Design Suite User Guide: Designing with IP UG896. 2024.
6. Li H., Liu Y., Yuan D., Hu H. A Wrapper of PCI Express with FIFO Interfaces Based on FPGA // arXiv:1306.5501, 2013.
7. Bittner R. Bus Mastering PCI Express in an FPGA // Proceedings of the ACM/SIGDA International Symposium on Field Programmable Gate Arrays. 2009. P. 145–150.
8. Cheng K., Liu W., Shen Q., Liao S. Design and Implementation of High-throughput PCIe with DMA Architecture between FPGA and PowerPC // arXiv:1809.07702, 2018.
9. Степченко Ю.А., Морозов Н.В., Дьяченко Ю.Г. и др. Аппаратная верификация рекуррентного обработчика сигналов на ПЛИС // Проблемы разработки перспективных микро- и нанoeлектронных систем. 2021.
10. Гаврилов С.В., Железников Д.А., Заплетина М.А. и др. Разработка доверенных средств проектирования цифровых схем на базе гетерогенных ПЛИС // Труды ИСП РАН. 2023. Т. 35. № 6. С. 61–76.
11. Mizuhiki R., Maeda J., Marumoto S. Development of the Firmware Logic Validation System Using FPGA Accelerator // Journal of Instrumentation. 2025.

Поступила в редакцию / Received: 03.07.2026.

Поступила после рецензирования / Revised: 09.07.2026.

Принята к печати / Accepted: 10.07.2026.